

## SUMADOR AMB Lògica Dinàmica

Es vol dissenyar un mòdul sumador complet utilitzant lògica dinàmica NP dominó (*zipper*). L'esquema del circuit elegit es mostra a la Figura 1. Les entrades són els dos bits de suma A, B i el carry d'entrada C. Les sortides són el bit de suma negat Sum\_ i el bit de carry negat Cout\_. Les sortides es registren utilitzant un *latch* dinàmic com el mostrat a la figura 2 (noteu que el *latch* és inversor, i per tant s'obtenen les sortides sense negar).

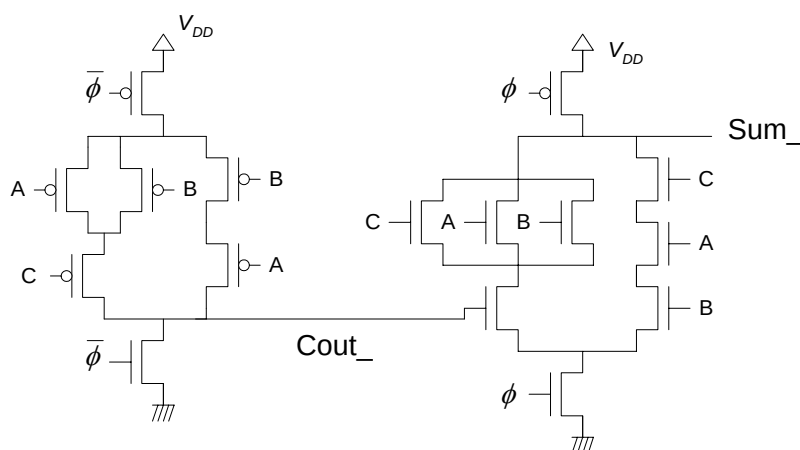


Figura 1.

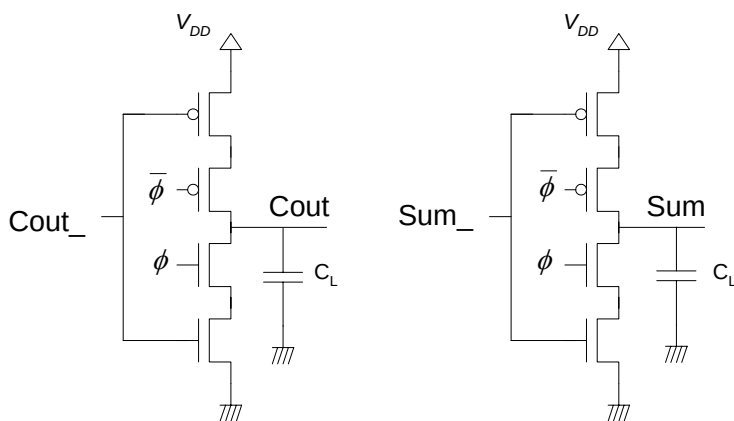


Figura 2.

Es demana:

- Dissenyem el *layout* d'aquest circuit.
- Simuleu el circuit utilitzant el model de transistor de la tecnologia de  $0.35\mu\text{m}$ . **Dimensioneu els transistors per tal de minimitzar els retards, això és, maximitzar la velocitat d'operació.**
- Aprofitant la cel·la feta a l'apartat (a), dissenyem un sumador de 4 bits. Determineu per simulació, la freqüència màxima del rellotge.

Dades:  $V_{DD} = 3.3\text{V}$ ,  $C_L = 15\text{fF}$ ,  $W_{MIN} = 2\mu\text{m}$ ,  $L_{MIN} = 0.4\mu\text{m}$