

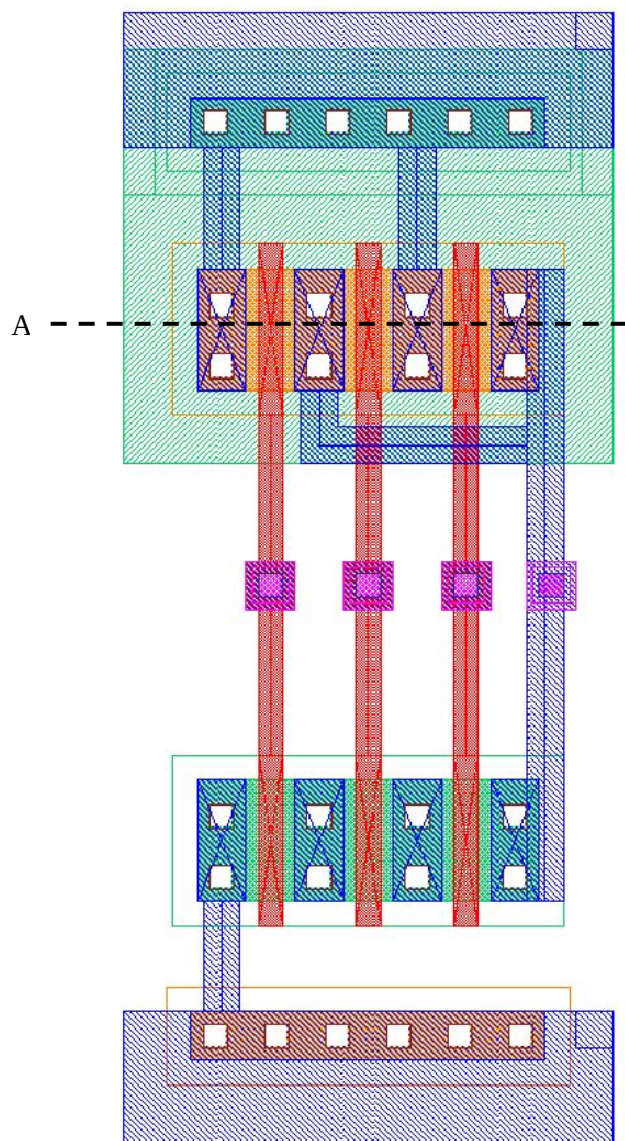
PROBLEMES DE SISTEMES MICROELECTRÒNICS FULL 2

P1. Indiqueu, en la taula adjunta, quines són les possibilitats d'interconnexió entre capes. utilitzeu el símbol (X) per indicar connexió amb contacte, (V) per indicar connexió amb via i (NO) per indicar que la connexió no és possible.

	Substrat P	Pou N	Difusió N+	Difusió P+	Polisilici	Metall 1	Metall 2
Polisilici					○		
Metall 1						○	
Metall 2							○

P2. La figura representa el *layout* d'una porta lògica CMOS. Es demana:

- Numereu els transistors i dibuixeu l'esquema elèctric a nivell de transistor.
- Determineu la funció lògica (taula de veritat) que realitza.
- Representeu la secció transversal A-A', comentant breument el procés de fabricació de les diferents capes involucrades en la secció indicada.



P3. Dibuixeu una secció transversal (*cross-section*) on es vegi un transistor nMOS, un transistor pMOS i les connexions entre polarització V_{DD} -Pou N, V_{SS} -Substrat p.

P4 Dibuixeu el diagrama de barres (*sticks*) corresponents a les portes CMOS:

- (a) $\overline{A \cdot B}$
- (b) $\overline{A + B}$
- (c) $\overline{A \cdot B + C \cdot D}$

P5. Normalment els transistors MOS presenten una zona de canal en la forma típica rectangular. Tanmateix, en certes condicions en les que l'ample de canal és molt més gran que la longitud és possible considerar transistors amb una forma de canal diferent per tal de proporcionar al transistor una mida més equilibrada. A la figura es mostren tres transistors en sèrie, actuats per les portes A, B i C. Determineu la mida (W i L) dels tres transistors.

