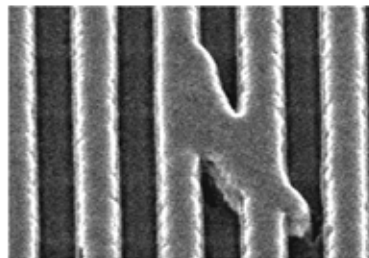
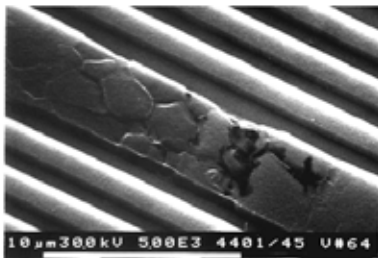
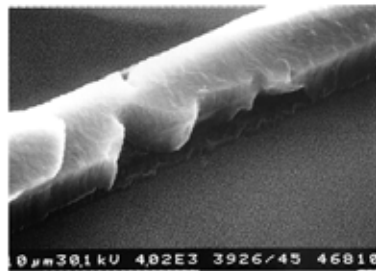
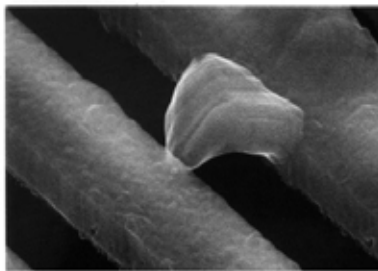


## Tema 8 : Introducció (molt) bàsica al test

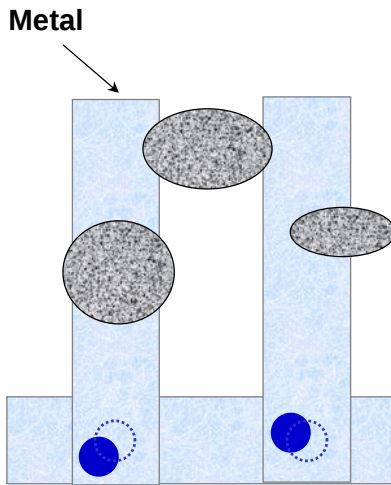
Rodrigo Picos

Sistemes Microelectrònics  
Assignatura Optativa

### Defectes reals: exemples

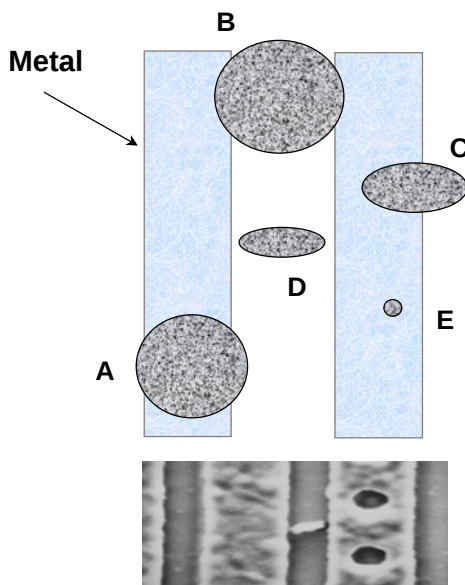


## Com es formen els defectes



- Partícules de pols a les màscares provoquen deficiència o material extra durant els processos fotolitogràfics
- Desalineaments: via a metal
- Partícules presents en el procés d'atac (*etching*) produeixen contactes entre pistes de metal
- Processos químics defectuosos
- Procés de pulit de las capas deficient
- Defectes generats durant la operació del circuit
  - Electromigració
  - Rotura de l'òxid de porta

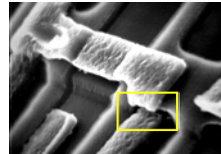
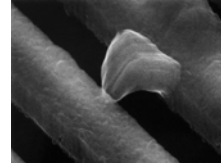
## Tamany i localització del defecte



- A, B - Defecte en el circuit
- C - Disminució de la fiabilitat
- D - No produeix defecte però si possible disminució de la fiabilitat si evoluciona en el temps
- E - No produeix defecte ni disminució de fiabilitat

## Tipus de defectes

- Infinitat de possibles anomalies en la fabricació del circuit: infinitat de defectes diferents
- Tipus de defectes més habituals:
  - Defecte pont: connexió no desitjada
    - Entre nodes
    - GOS (*Gate Oxide Short*)
  - Defecte obert (*open*): desconnexió no desitjada
    - Porta flotant (*floating gate*)
    - Ruptura de una línia

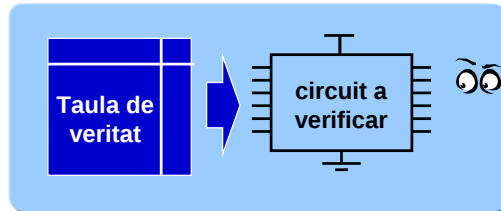


## Introducció al test

- Filosofies de test de CI:
  - Test **funcional**:
    - tractar d'excitar el CI com ho faria l'usuari
  - Test **estructural**: empram un **model de fallada**
    - model de fallada: hipòtesi de com un circuit pot funcionar incorrectament
  - Test considerant **defectes** (físics):
    - considerar els motius físics que produeixen el malfuncionament
    - “model de fallada” molt proper al defecte físic

## Introducció al test

- Test funcional : Aplicar els estímuls tal com ho farà l'usuari
- ¿Estímuls?
- Test funcional exhaustiu:  
**inviable**

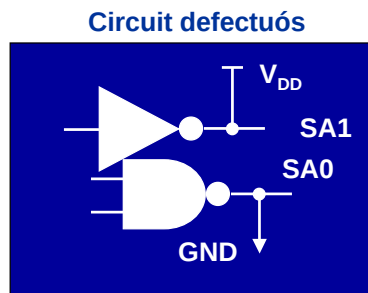


**EXEMPLE:** Que tardaria el test per funció d'una RAM de 1K si aplicam el test a 500 MHz ?

**SOLUCIO:**  $2^{1024} \times (1/500 \text{ MHz}) \approx 10^{292} \text{ anys}$

## Introducció al test

- Test estructural : Model de fallada
  - stuck-at (SA): més antic i popular model de fallada (Eldren, 1958)
  - considera que qualsevol defecte del circuit es manifesta com una línia fixada a un valor lògic fixe



## Introducció al test

- Estudis en els darrers 15 anys mostren que el test SA no és suficient si no se complementa
- ¿Per qué seguim emprant *stuck-at* ?
  - Molt introduït a la indústria (sencill i econòmic)
  - S'empra com un estàndar en llenguatge de test
  - Pot servir de punt de partida per models més complexes
  - Realment detecta circuits incorrectes, si bé no pot predir-se el seu grau de qualitat

• **Conclusió: El *stuck-at* pot ser útil però complementat amb tècniques de test basades en defectes**

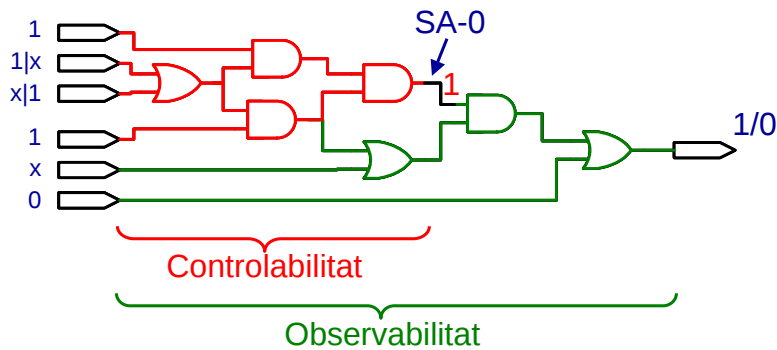
## Introducció al test

- Test basat en defectes:
  - Coneguts i analitzats els defectes:
    - **Com** els detectam?
    - Què **mesuram** i en quines **condicions**?
  - Dues estratègies de test amplament acceptades
    - Test lògic (o Booleà) : valors lògics a les sortides
    - Test  $I_{DDQ}$  : corrent de consum estàtic

## Introducció al test: TPG

### • Dos conceptes:

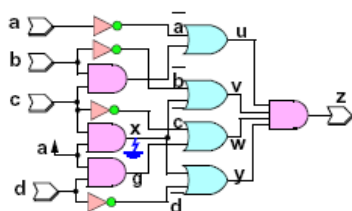
- Observabilitat: capacitat per veure el valor d'un node
- Controlabilitat: capacitat per forçar el valor d'un node



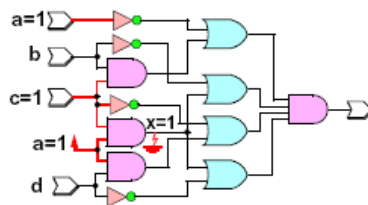
## Introducció al test: TPG

### • Exemple de generació (I):

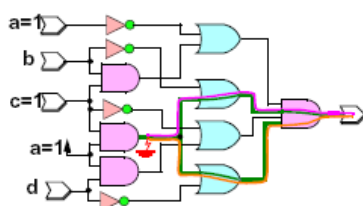
Find a test for X S@0



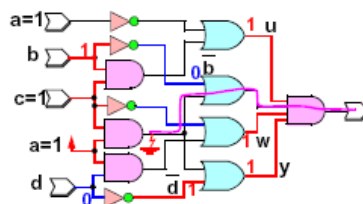
Control point X, force it to 1.



Three possible paths to observe fault



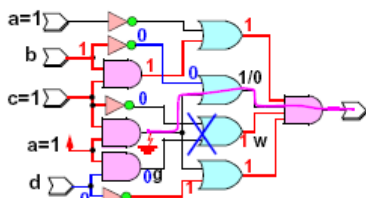
Try the upper path. To sensitize path must have b=0, u, w, y=0, ⇒ d=1.



## Introducció al test: TPG

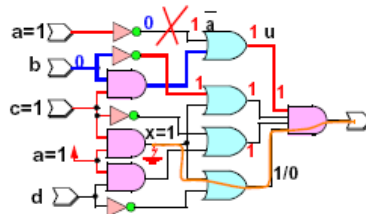
### Exemple de generació (i II):

Continue trying to sensitize the upper path.  $g=0, c=0 \Rightarrow w \neq 1$

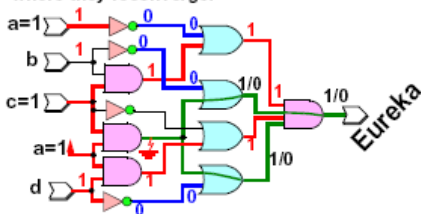


Try sensitizing the lower path.

$\bar{a}=0 \Rightarrow u \neq 1$



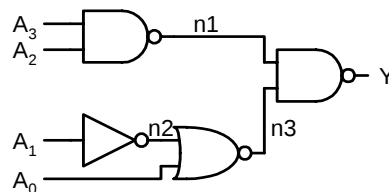
Try sensitizing the reconvergent path  
make sure the polarities are not opposite  
where they reconverge.



## Test stuck-at

### Exemple:

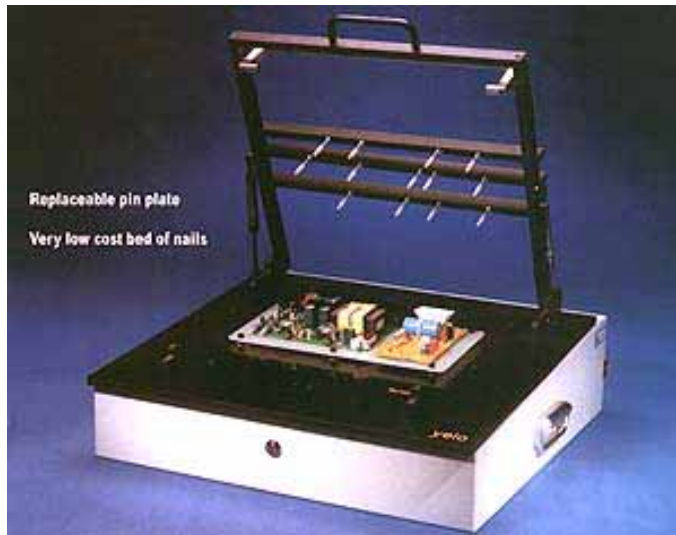
|       | SA1    | SA0    |
|-------|--------|--------|
| $A_3$ | {0110} | {1110} |
| $A_2$ | {1010} | {1110} |
| $A_1$ | {0100} | {0110} |
| $A_0$ | {0110} | {0111} |
| $n1$  | {1110} | {0110} |
| $n2$  | {0110} | {0100} |
| $n3$  | {0101} | {0110} |
| $Y$   | {0110} | {1110} |



- Minimum set: {0100, 0101, 0110, 0111, 1010, 1110}

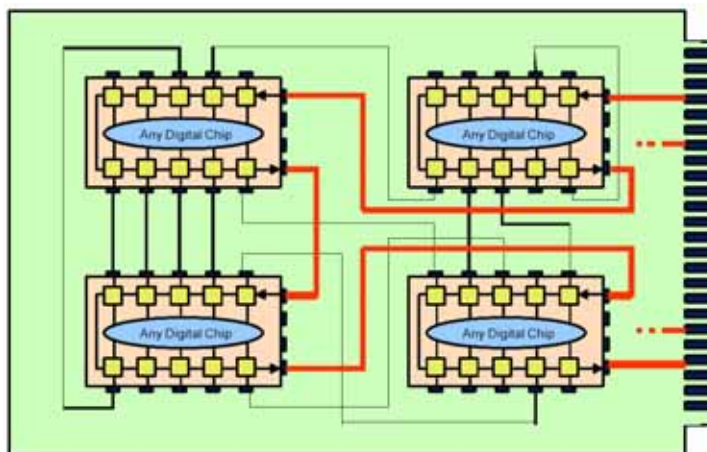
## Introducció al test: PCBs

- Accés als diversos circuits dins una placa: màquines de puntes



## Introducció al test: JTAG

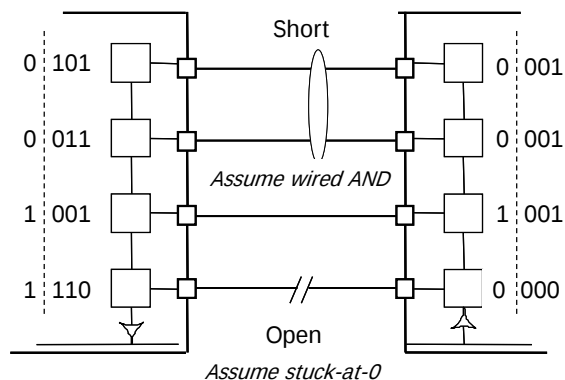
- IEEE 1149.1: dona accés a tots els pins dels xips digitals (1990)



## Introducció al test: JTAG

- Test de línies

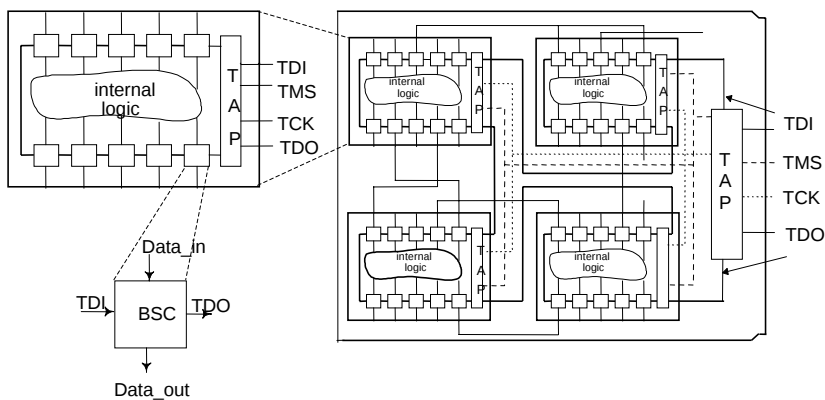
Kautz (1974): una condició suficient per detectar qualsevol parell de línies curtcircuitades és que els codis "horizontals" han de ser únics. Per tant, la longitud del test va com  $\lceil \log_2(N) \rceil$ .



Els codis "0..0" i "1..1" no es poden usar, per les faltes stuck-at. Per tant, la longitud del codi és:  $\lceil \log_2(N+2) \rceil$ , amb un bit més per augmentar la precisió.

## Introducció al test: JTAG

- Pins de control estàndards



## Introducció al test: JTAG

- *Test Access Port (TAP)* inclou:
  - *Test Clock Input (TCK)* -- Clock per fer el test logic
    - Pot anar diferent del clock del sistema!
  - *Test Mode Select (TMS)* – Selecciona test / no test
  - *Test Data Input (TDI)* – Entrada de dades / instruccions (sèrie)
  - *Test Data Output (TDO)* – Sortida de dades (sèrie)
  - *Test Reset (TRST)* -- Opcional reset asíncron del controlador del TAP

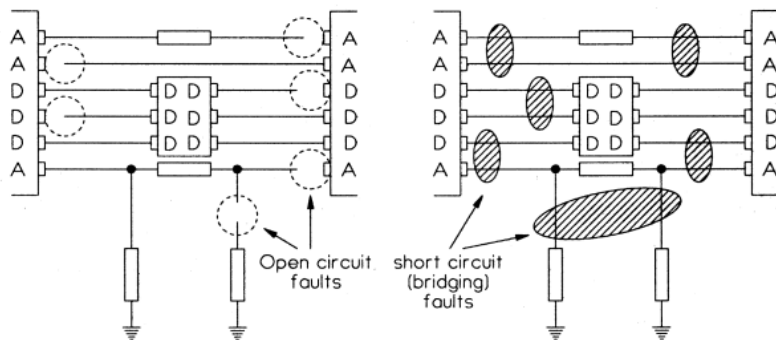
## Introducció al test: JTAG

- Instruccions

| Instruction                    | Status           |
|--------------------------------|------------------|
| <b><i>BYPASS</i></b>           | <b>Mandatory</b> |
| <b><i>CLAMP</i></b>            | <b>Optional</b>  |
| <b><i>EXTEST</i></b>           | <b>Mandatory</b> |
| <b><i>HIGHZ</i></b>            | <b>Optional</b>  |
| <b><i>IDCODE</i></b>           | <b>Optional</b>  |
| <b><i>INTTEST</i></b>          | <b>Optional</b>  |
| <b><i>RUNBIST</i></b>          | <b>Optional</b>  |
| <b><i>SAMPLE / PRELOAD</i></b> | <b>Mandatory</b> |
| <b><i>USERCODE</i></b>         | <b>Optional</b>  |

## Introducció al test: JTAG

- IEEE 1149.4: Test de circuits mixtes / analògics (1999)
  - Tipus de defectes més complexes



## Introducció al test: JTAG

- TAP (test access point) Bàsic: IEEE 1149.1 + 2 ports

