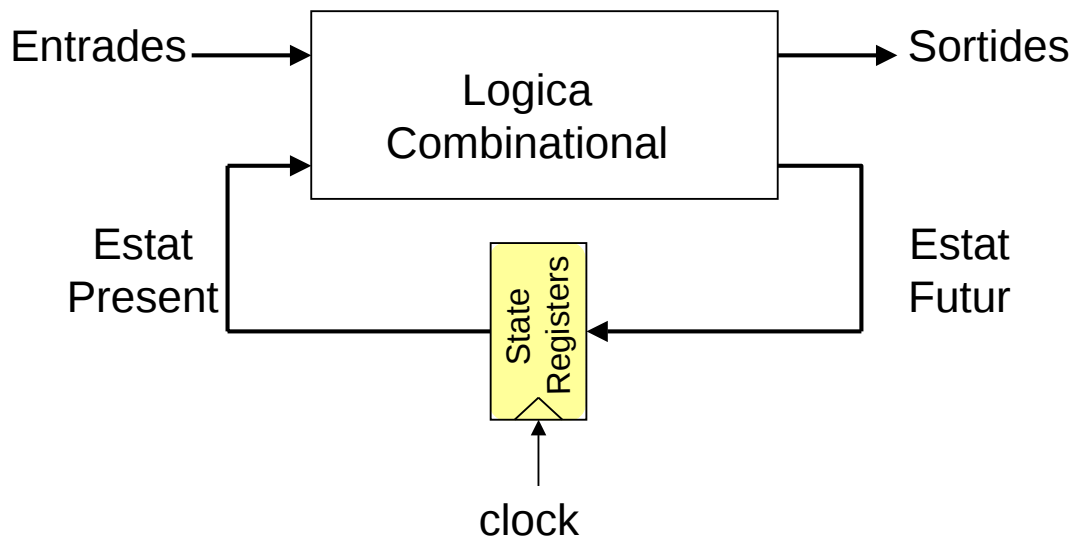


Tema 6 : Portes Seqüencials

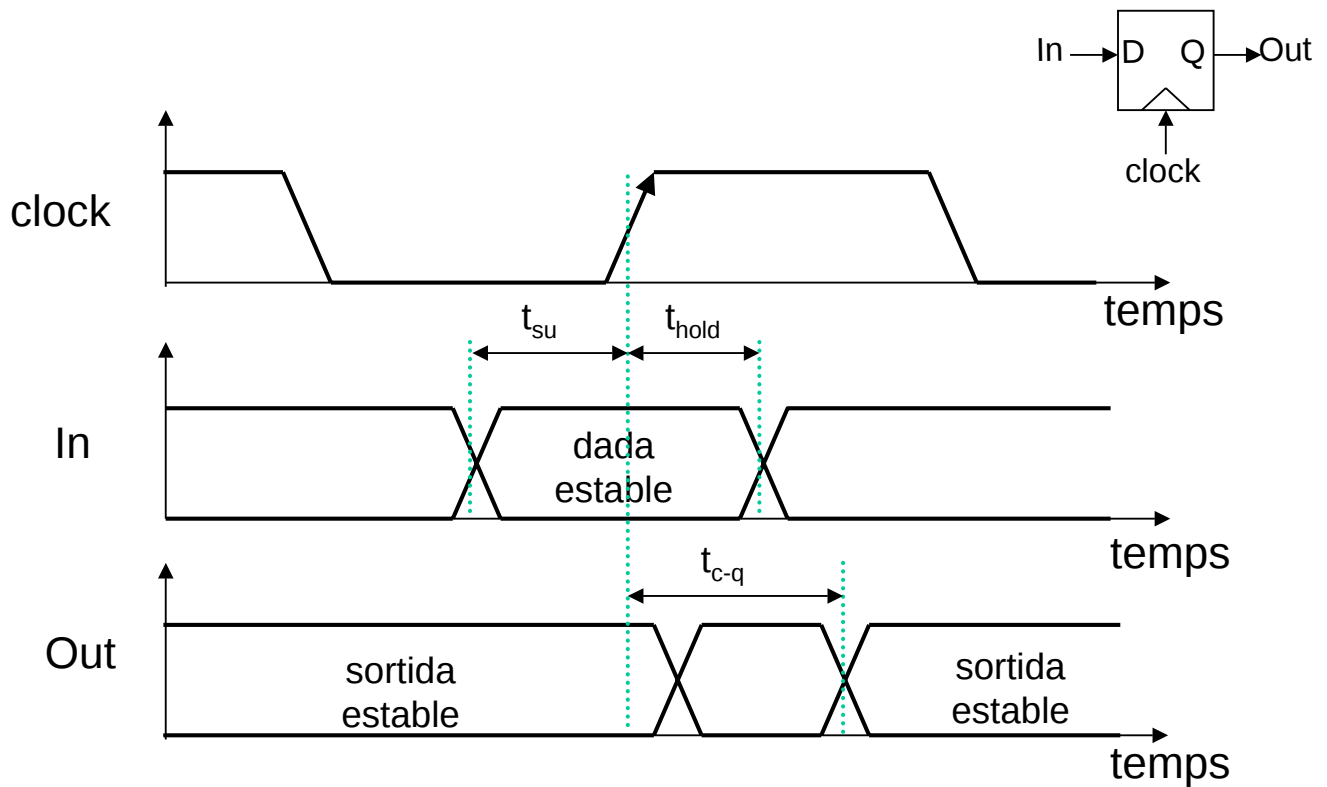
Sebastià Bota

Sistemes Microelectrònics

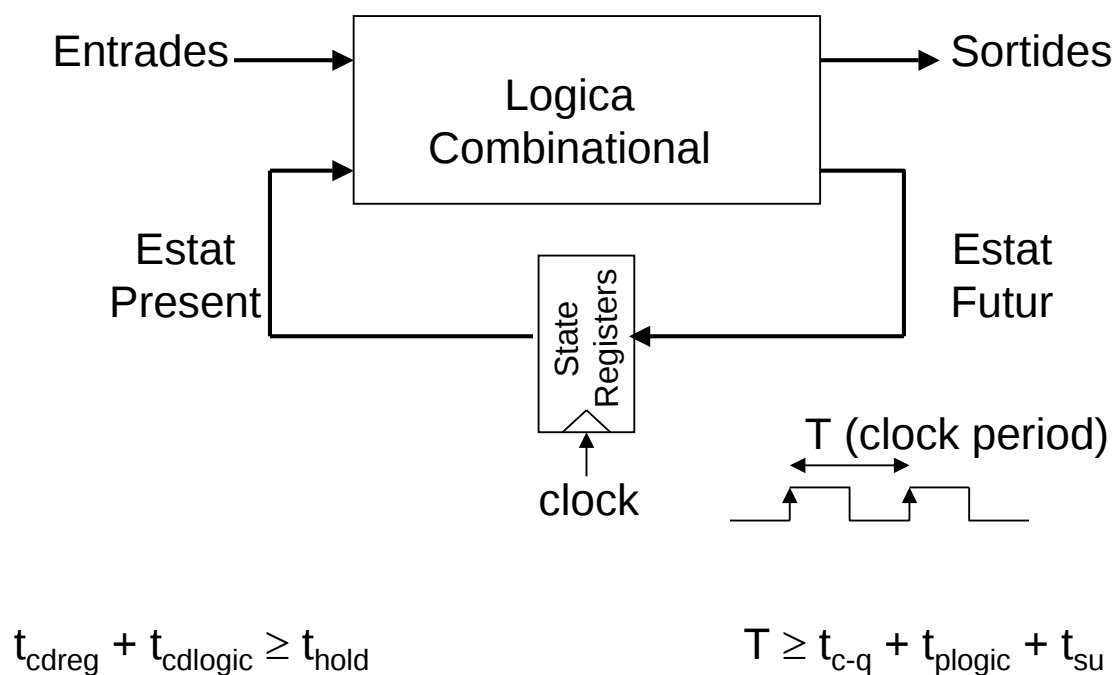
Lògica Seqüencial



Temporització



Restriccions temporals



Emmagatzemament estàtic i dinàmic

- **Estatic**

- L'estat es manté sempre que el sistema estigui polaritzat
- Presenta **regeneration** amb una connexió interna entre l'entrada i la sortida
- Útil quan les actualitzacions de dades són poc freqüents (deshabilitació de rellotge)

- **Dinàmic**

- L'estat es guarda en capacitats paràssites
- L'estat es manté en períodes curts de temps (milisegons)
- Necessita un refresc periòdic
- Són més simples: consum menor i major velocitat

Latch i Flip-flop

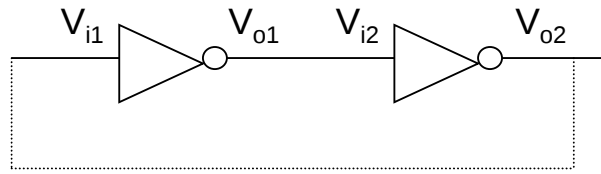
- **Latch**

- **Sensibles a nivell** El circuit és transparent quan el rellotge està en estat alt (o baix)
- L'última dada entrada abans del flanc de baixada del rellotge es manté mentre el rellotge està en estat baix – mode **hold**

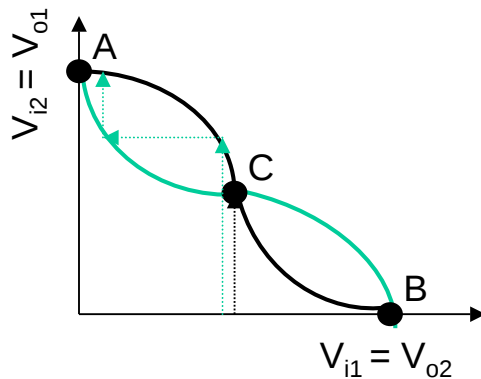
- **Flip-flops (edge-triggered)**

- **Sensibles a flanc** Els circuits llegeixen una dada en les transicions de pujada o baixada del rellotge
 - positive edge-triggered: $0 \rightarrow 1$
 - negative edge-triggered: $1 \rightarrow 0$
- Construits a partir dels latches (e.g., master-slave flipflops)

Regeneració



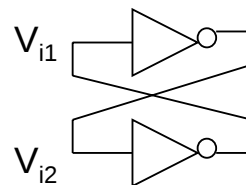
inversors en cascada



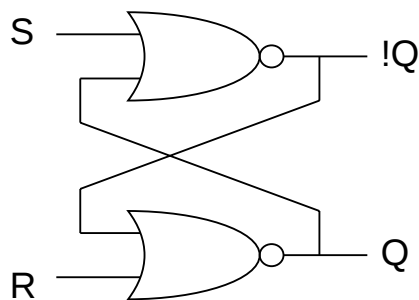
Si el guany en la regió de transició es superior a 1, Els dos punts d'operació estables són A i B. C is un punt d'operació **metastable**.

Circuits Biestables

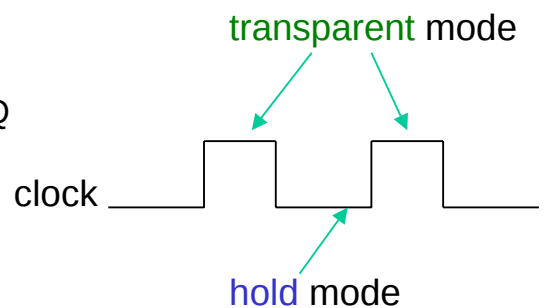
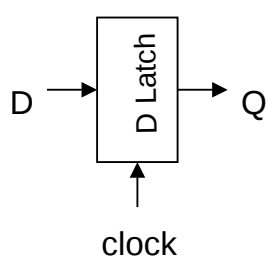
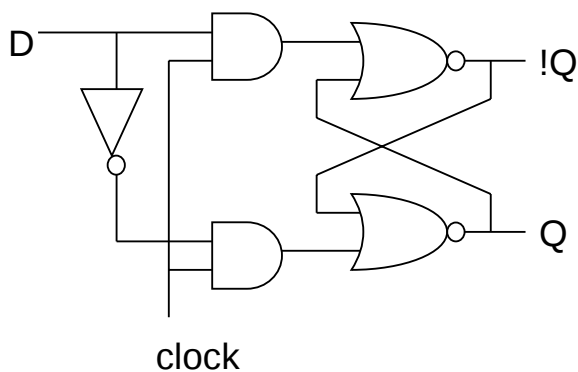
- La connexió de 2 inversors genera un **circuit biestable** (un circuit amb 2 estats estables)
- L'estat del sistema es pot **canviar** provocant una inestabilitat transitoria a A (o B)
 - Aplicant un pols a V_{i1} o V_{i2}
 - L'amplada del pols ha de ser de durada superior al temps de propagació a través dels dos inversors
- 2 tècniques
 - Desactivant la realimentació (mux latch)
 - Aplicant directament un pols (SRAMs)



Biastable SR, Latch D sincronitzat

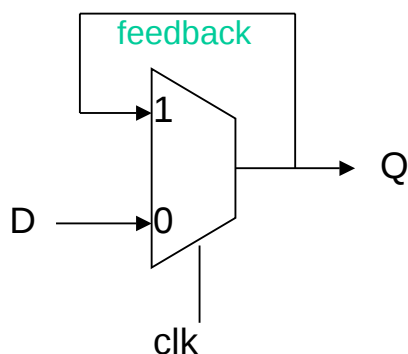


S	R	Q	!Q	
0	0	Q	!Q	Memoritza
1	0	1	0	Set
0	1	0	1	Reset
1	1	0	0	Prohibit



Latch basat en MUX

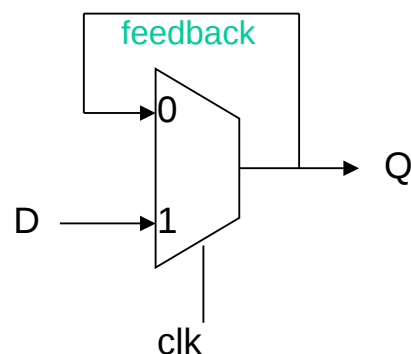
- Canvia el valor guardat tallant el bucle d'alimentació



Latch Negatiu

$$Q = \text{clk} \& Q \mid !\text{clk} \& D$$

transparent quan clk=L

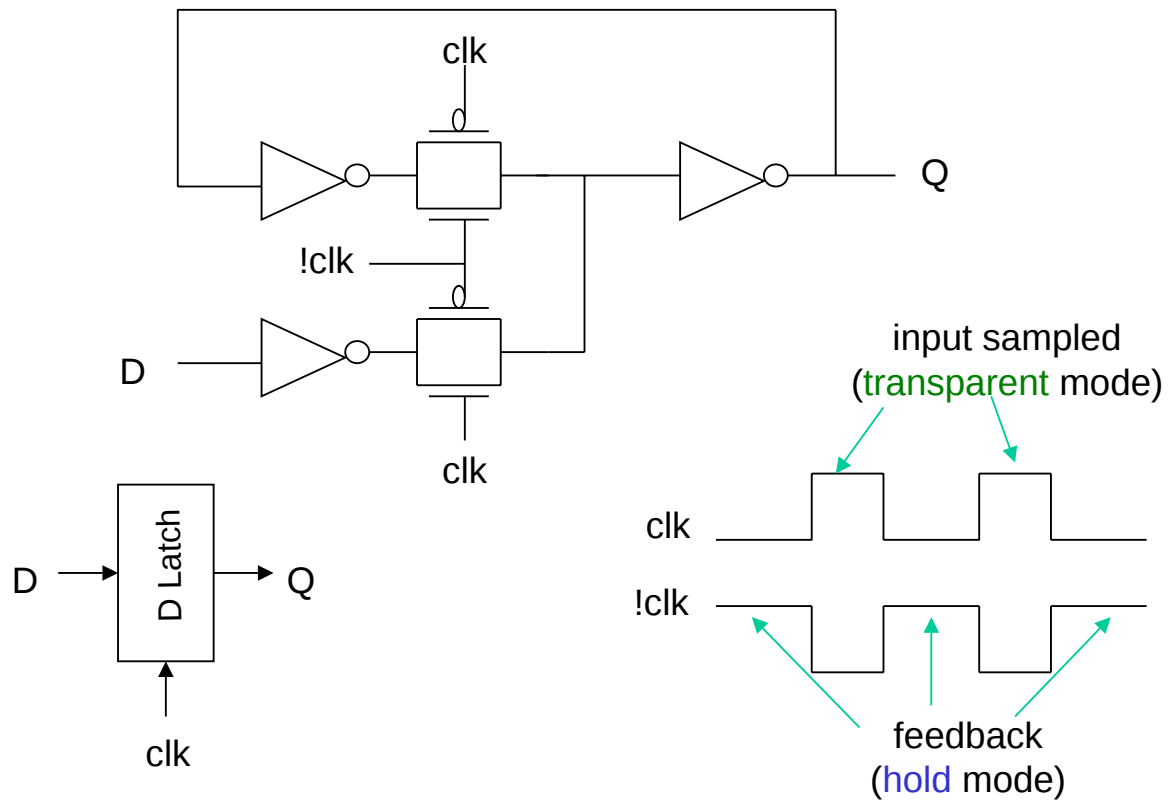


Latch positiu

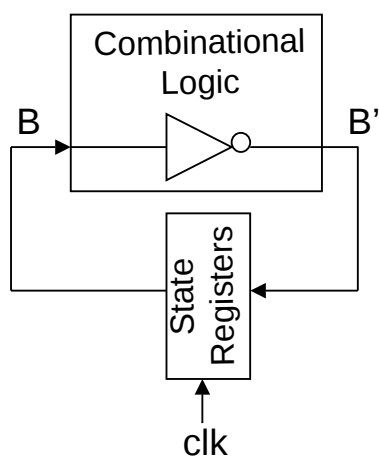
$$Q = !\text{clk} \& Q \mid \text{clk} \& D$$

transparent quan clk=1

MUX Basat en portes de pas



Carreres (Races)



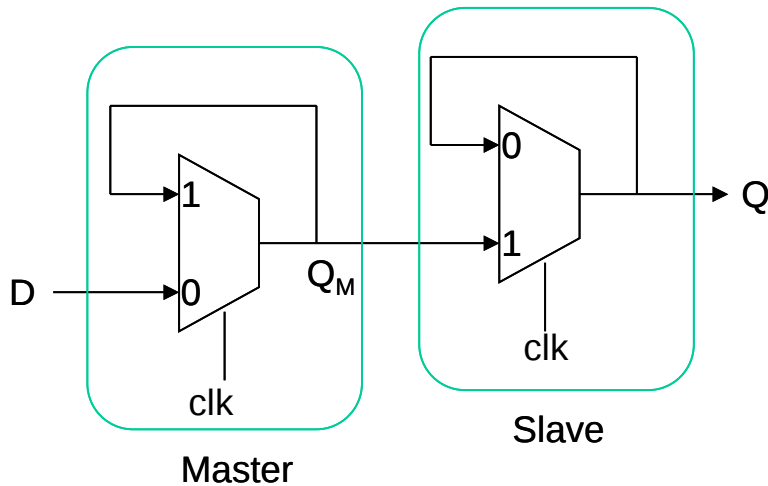
Quin valor de B queda guardat?

2 restriccions en el periode del rellotge

$$T \geq t_{c-q} + t_{plogic} + t_{su}$$

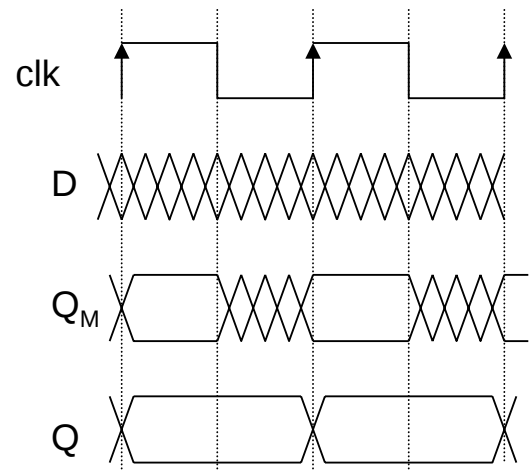
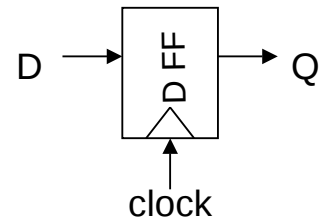
$$T_{high} < t_{c-q} + t_{cdlogic}$$

Flip flop Master Slave

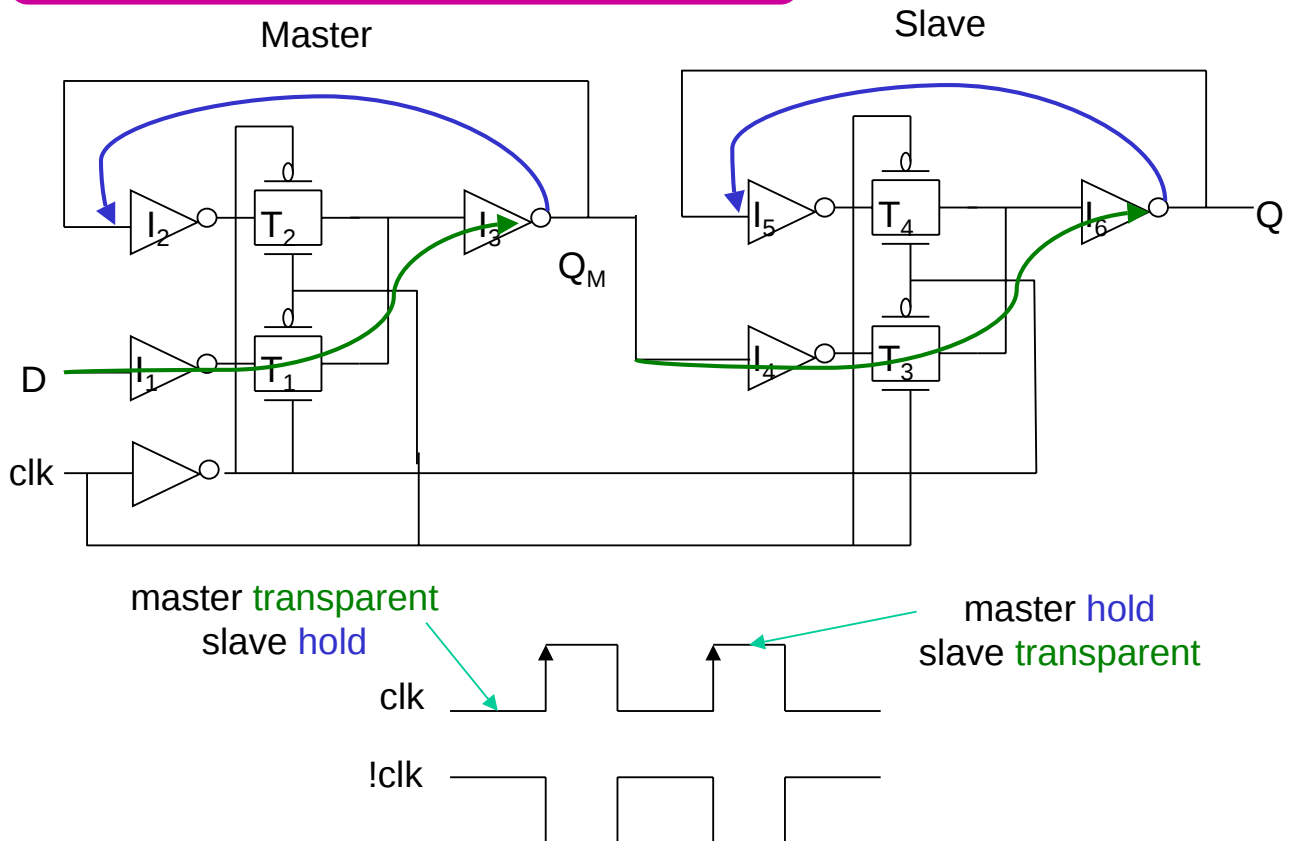


clk = 0 transparent hold

clk = 0 → 1 hold transparent



MS ET Implementation



Paràmetres de temps

- Suposem que els temps de propagació són t_{pd_inv} i t_{pd_tx} , i que clk i !clk són senyals que commuten a l'hora
- Temps de Set-up – temps abanç del flanc de pujada en que D ha d'estar estable

$$3 * t_{pd_inv} + t_{pd_tx}$$

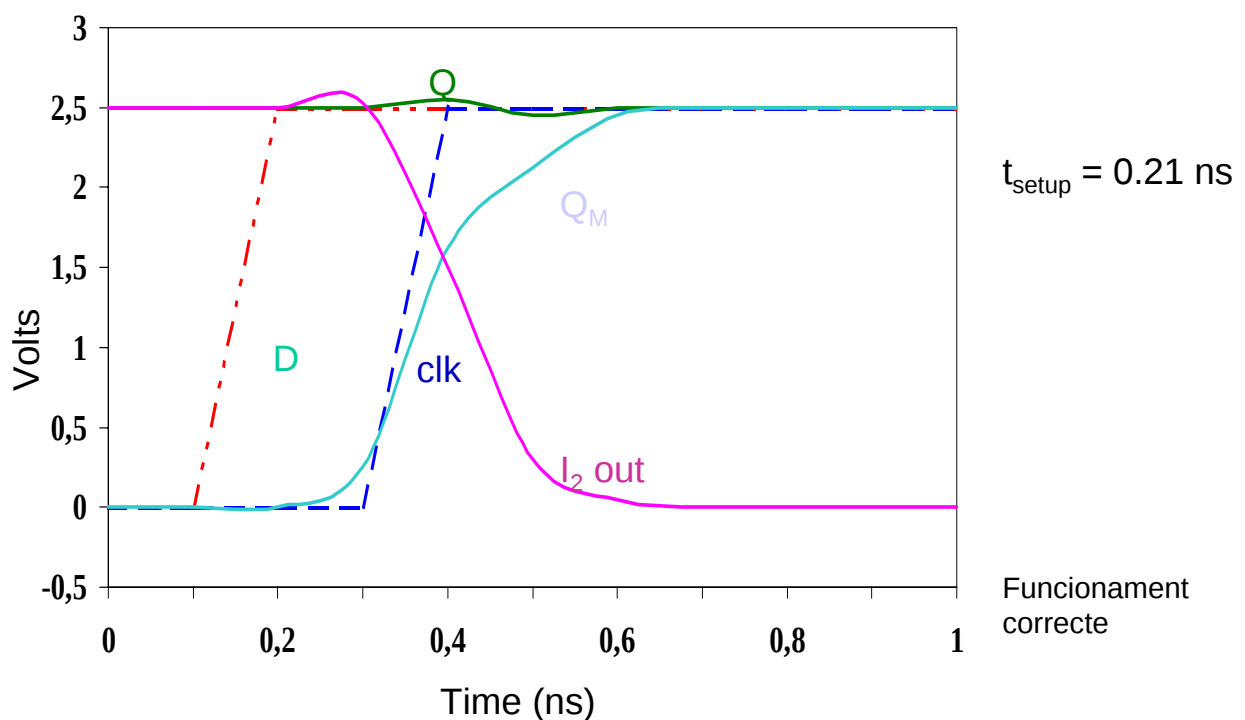
- Retard de propagació – temps necessari per que Q sigui estable

$$t_{pd_inv} + t_{pd_tx}$$

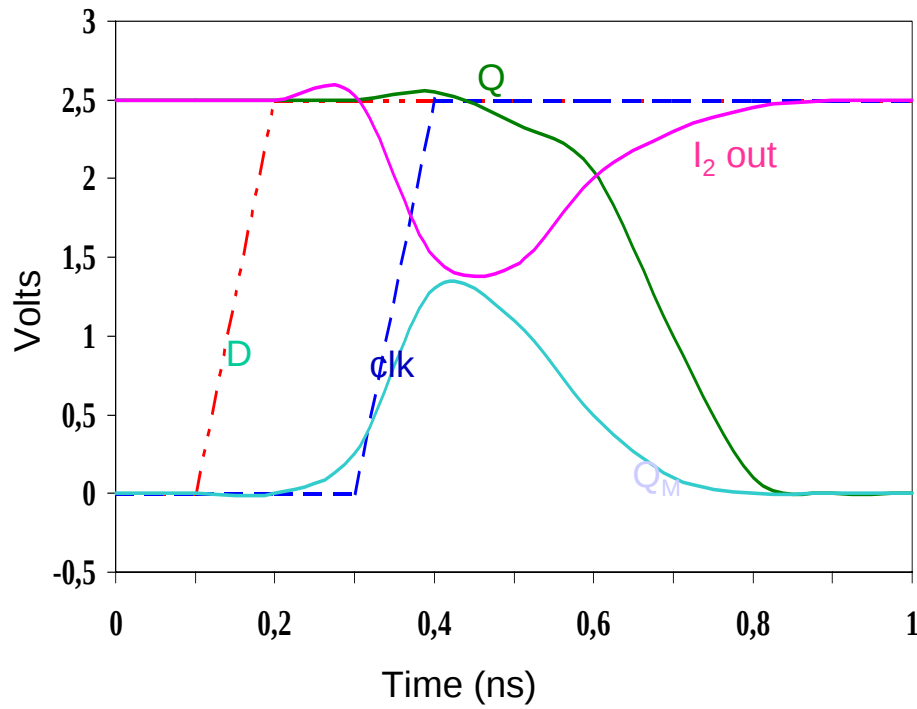
- Temps de Hold – temps en que D ha de mantenir-se estable després del flanc de clk -

zero

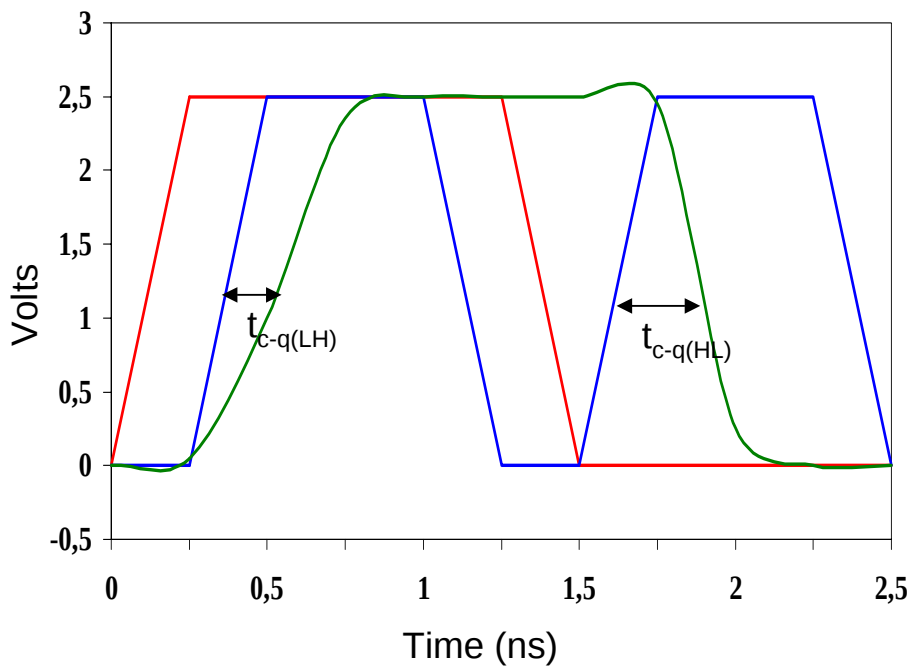
Simulació elèctrica



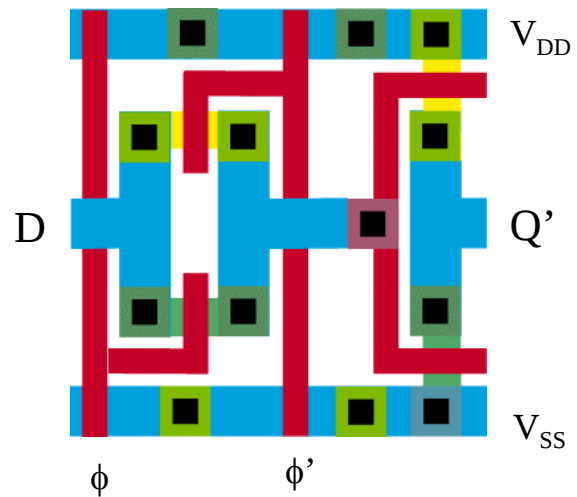
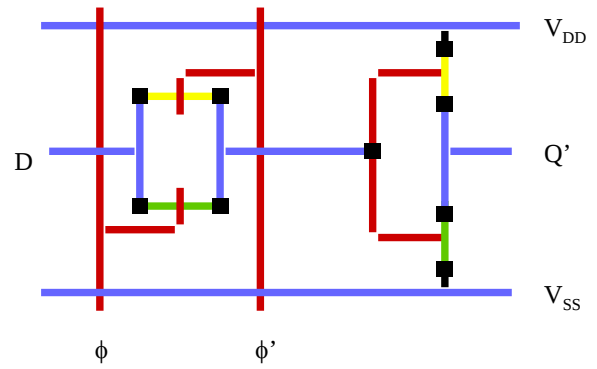
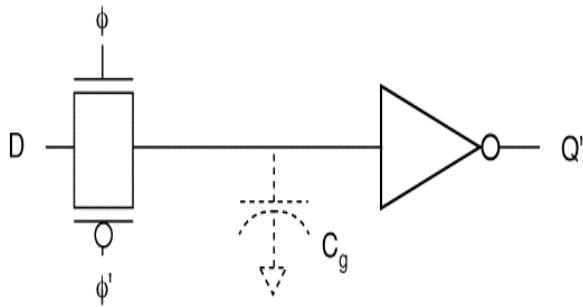
Simulació elèctrica



Simulació temps de retard

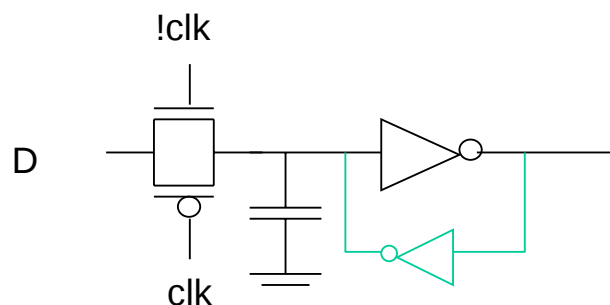


Latch dinàmic

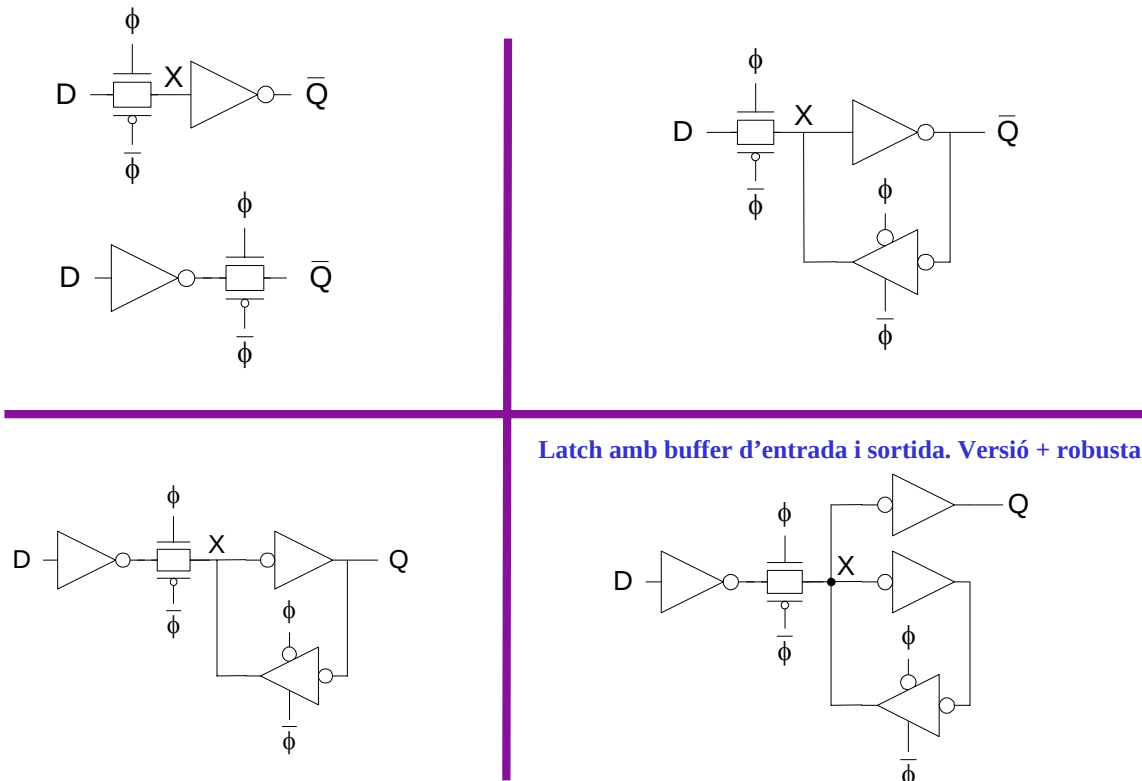


Pseudostatic Dynamic Latch

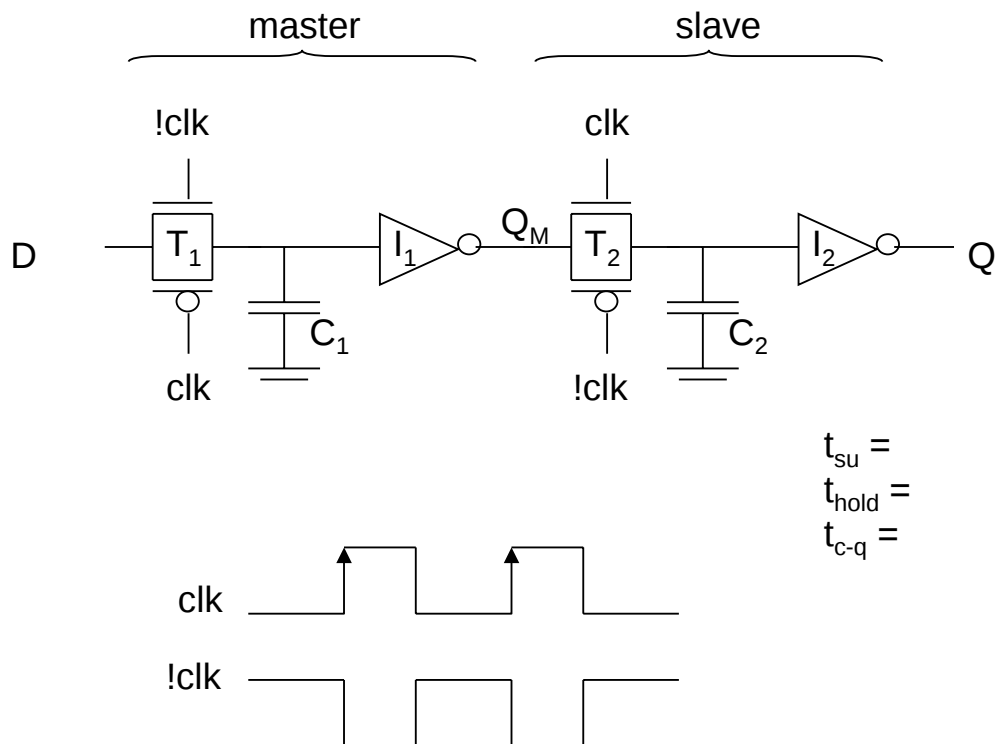
- Problemes relacionats amb els FF's dinàmics
 - Diafonia, pot ser la causa de la perda de dades en FF dinàmics
 - Corrents de fuites
 - Els nusos interns no segueixen possibles variacions en VDD
- Solució: Latch **pseudostatic**



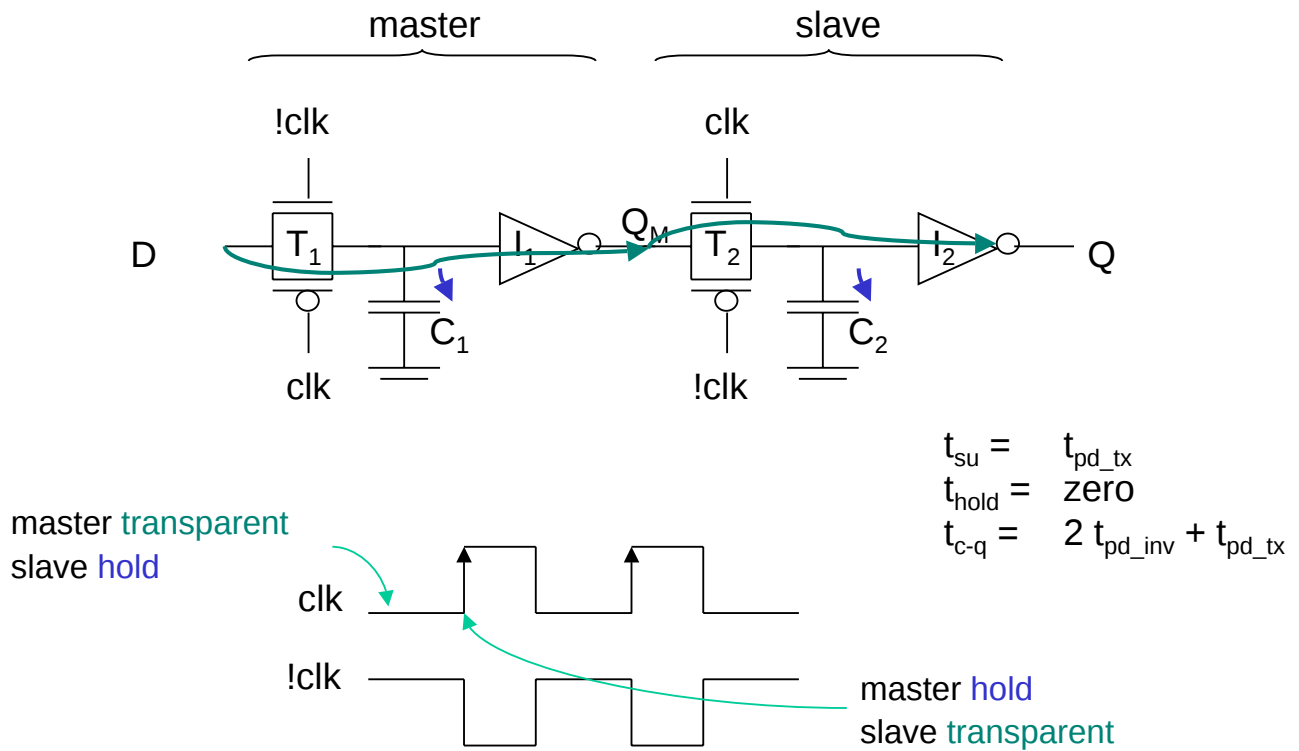
Latch, alternatives



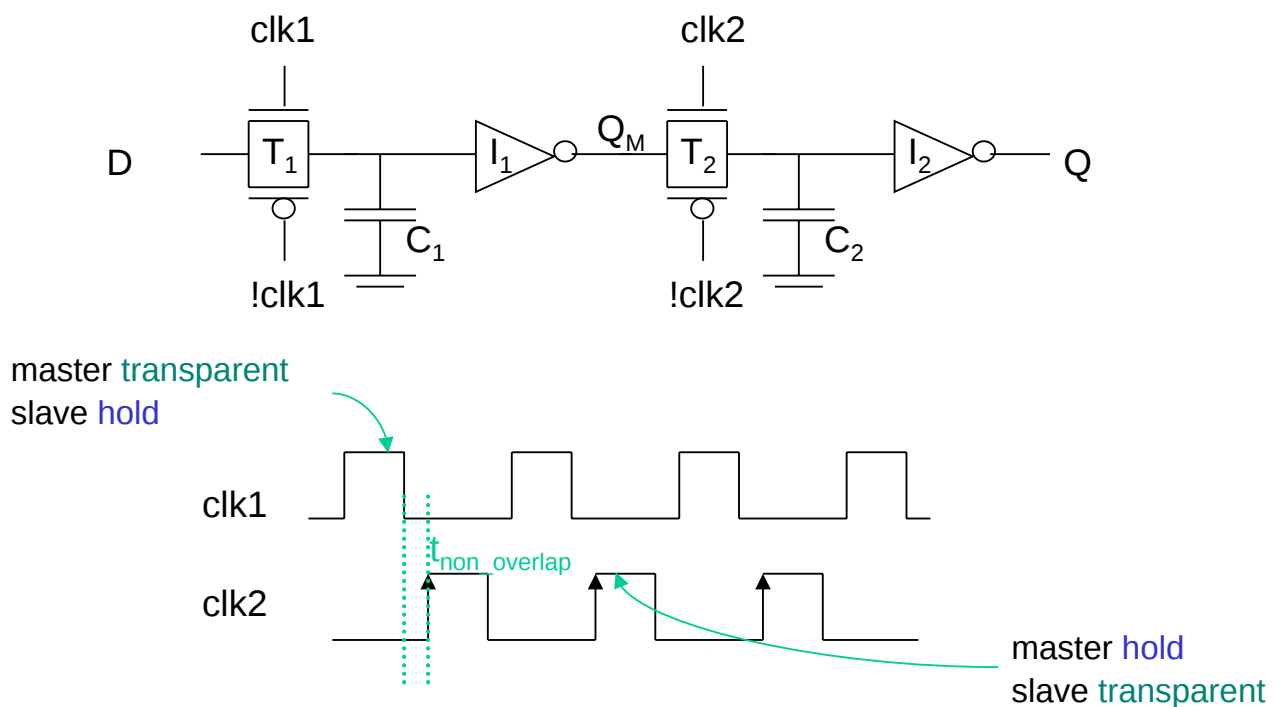
Flip flop dinàmic



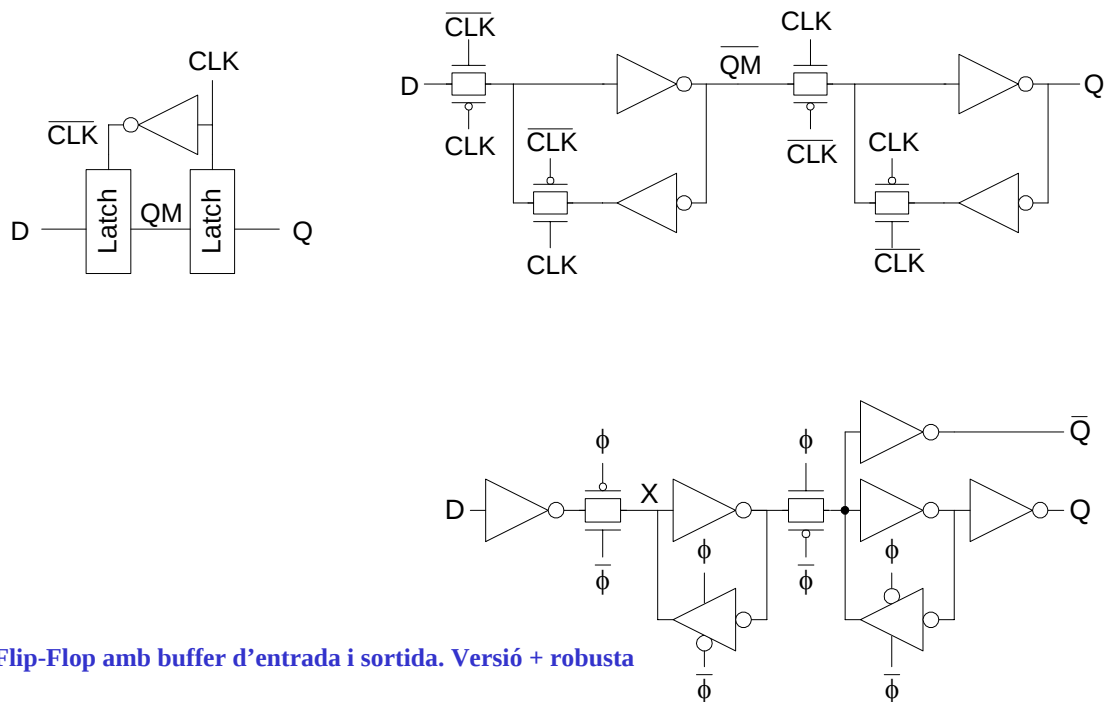
Flip flop dinàmic



FF amb 2 fases de rellotge

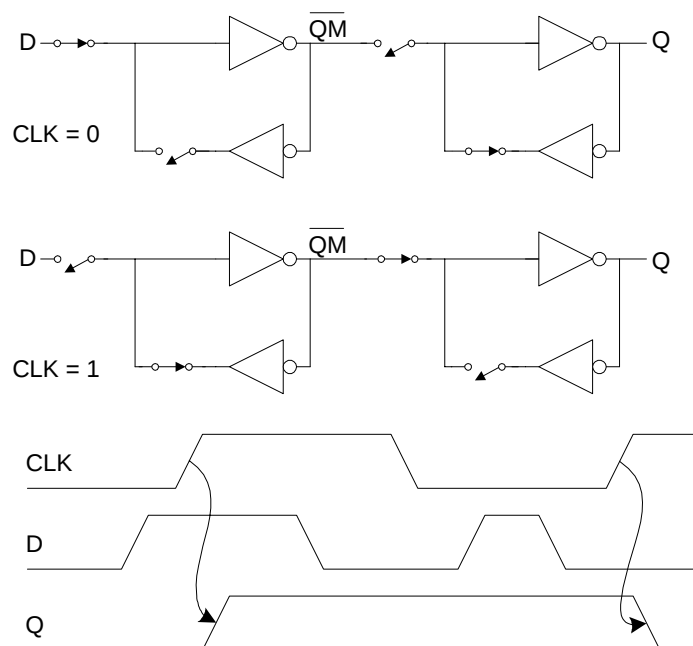


Flip Flops pseudoestàtics



Flip-Flop amb buffer d'entrada i sortida. Versió + robusta

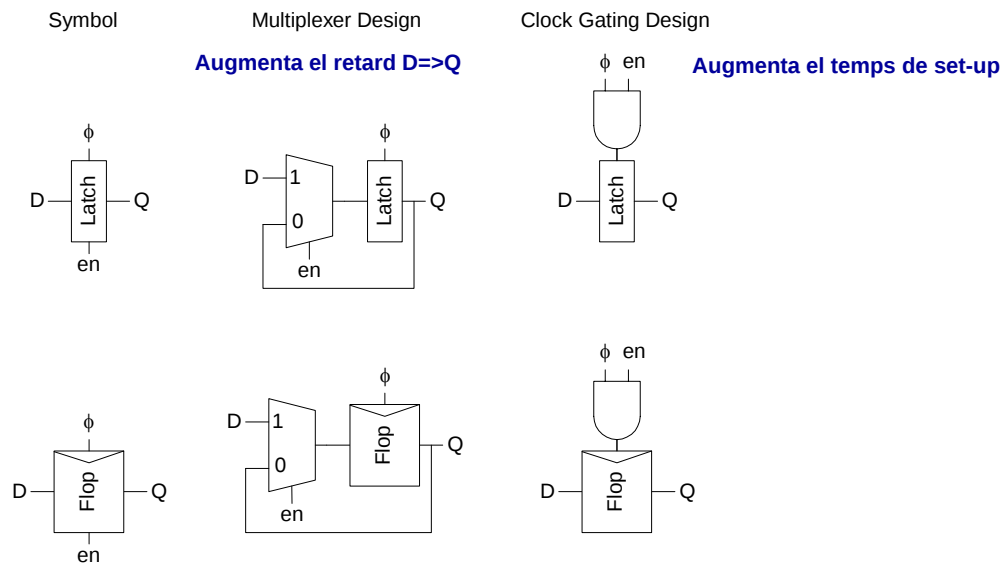
Flip Flops pseudoestàtics



Senyals de control

- ENABLE (“en”)**

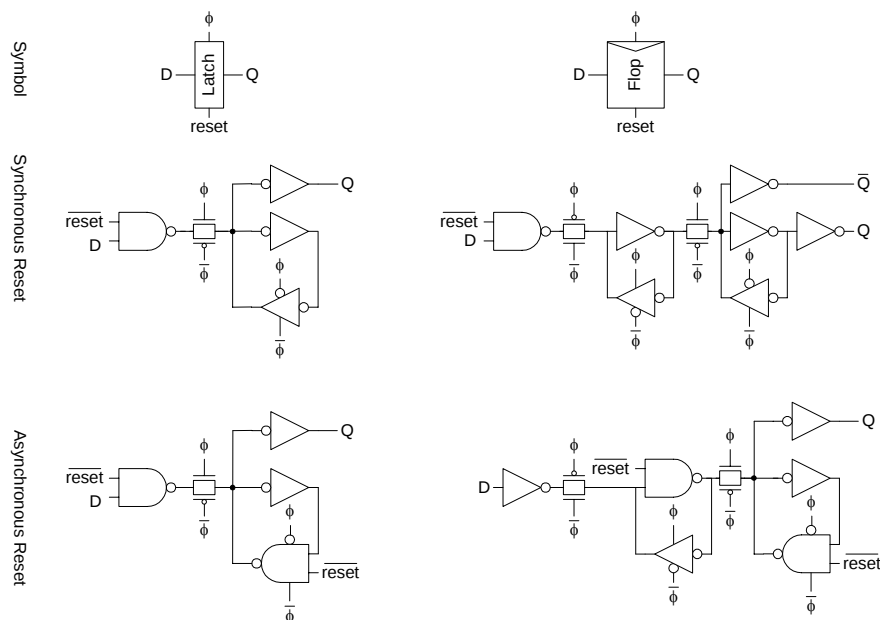
- El rellotge no actua si $en=0$



Senyals de control

- RESET (“reset”)**

- Força la sortida a 0 si $\overline{\text{reset}}=0$



Senyals de control

- **SET/RESET**

- Força la sortida a 0 si $\overline{\text{reset}}=0$
- Força la sortida a 1 si $\overline{\text{set}}=0$

