

Tema 5 : Portes Lògiques Combinacionals

Sebastià Bota

Sistemes Microelectrònics

Continguts

- Famílies lògiques integrades
- Lògica CMOS estàtica
 - lògica CMOS complementària
 - lògica NMOS i PseudoNMOS
 - lògiques amb transistors de pas
- Lògica CMOS dinàmica
 - introducció
 - lògica clocked CMOS
 - lògica de precàrrega i avaluació
 - lògica CMOS dominó

Prestacions de les famílies lògiques

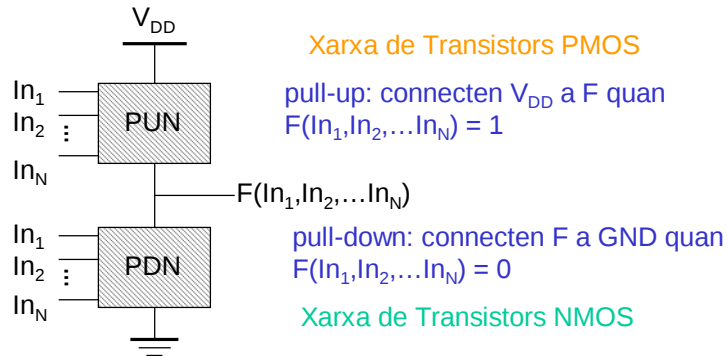
- Àrea
 - implicació directa en cost o preu final del producte
 - depèn de:
 - nombre de dispositius i tamany dels dispositius
 - quantitat i longitud de les interconnexions
 - emprar lògica amb pocs dispositius (petits) i amb fàcil interconnexió
- Velocitat
 - temps de propagació, temps de commutació
 - throughput (multiplicacions per segon a un multiplicador)

Prestacions de les famílies lògiques

- Consum
 - importància de sistemes portàtils, dificultat per dissipar
 - lògiques que:
 - no consumeixen en estàtica
 - amb baix nombre de dispositius i interconnexions
 - dispositius amb dimensions mínimes
 - treballen en baixa tensió
- Tolerància a variacions
 - paramètriques de la tecnologia ($V_t, K, C_{ox}, \dots$)
 - del dimensionat dels transistors (W i L)
 - de la tensió d'alimentació (V_{DD})
- Facilitat d'ús
 - desacoblament elèctric entrada-sortida
 - capacitat important de conduir
 - sortides amb excursió total $0-V_{DD}$
 - Facilitat de interconnexió $\Rightarrow$ possibilitat de síntesis lògica

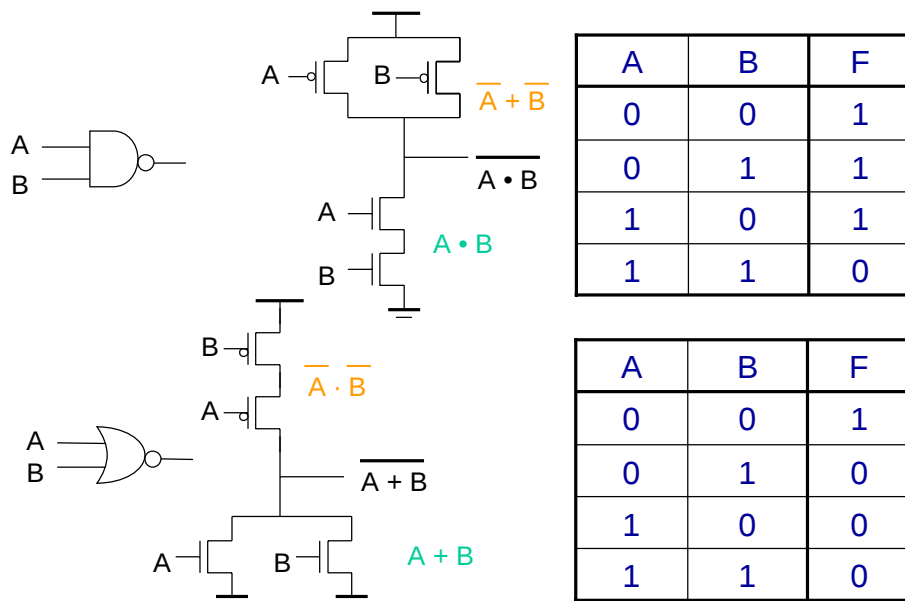
Importància de
lògiques robustes

Lògica CMOS complementària



- ❑ Les portes CMOS complementàries són inversores
 - ❑ NAND
 - ❑ NOR
 - ❑ AOI, OAI
- ❑ Una porta inversora d'N entrades té 2N transistors

Lògica CMOS complementària

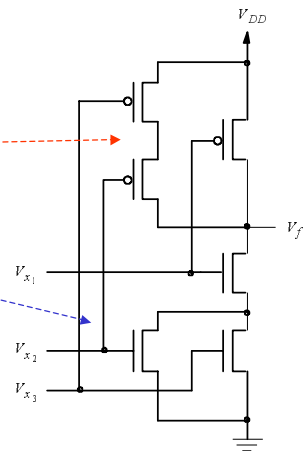


Lògica CMOS complementària

$$f = \bar{x}_1 + \bar{x}_2 \bar{x}_3$$



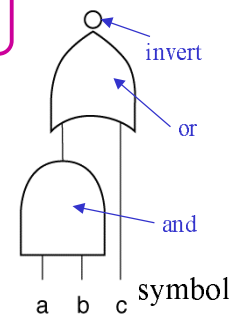
$$\bar{f} = x_1(x_2 + x_3)$$



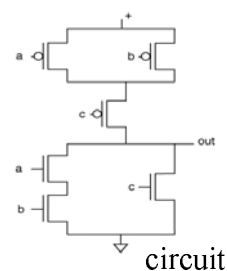
- Les xarxes Pullup, pulldown són duals
 - Paral·lel a pulldown implica sèrie a pullup
 - Sèrie a pulldown implica Paral·lel a pullup
- PUN i PDN mai condueixen simultàniament

Portes CMOS complexes: AOI, OAI

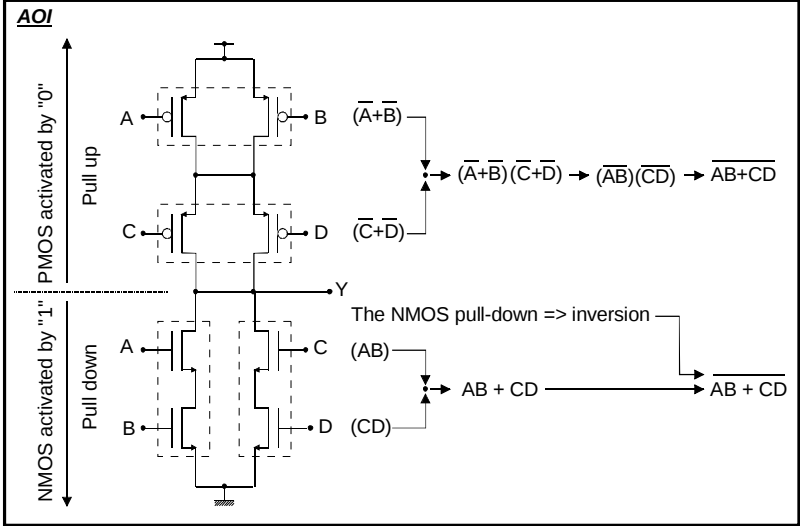
- AOI = and/or/invert;
- OAI = or/and/invert.
- Implementen funcions més complexes
Tipus suma de producte o producte de sumes.
- Les seves xarxes *Pullup* i *pulldown* són compactes: menys àrea i major velocitat que versions equivalents integrades amb portes NAND/NOR.
- AOI21: **and** 2 inputs, **and** 1 input (dummy), **or** dels 2 termes; **invertir**.



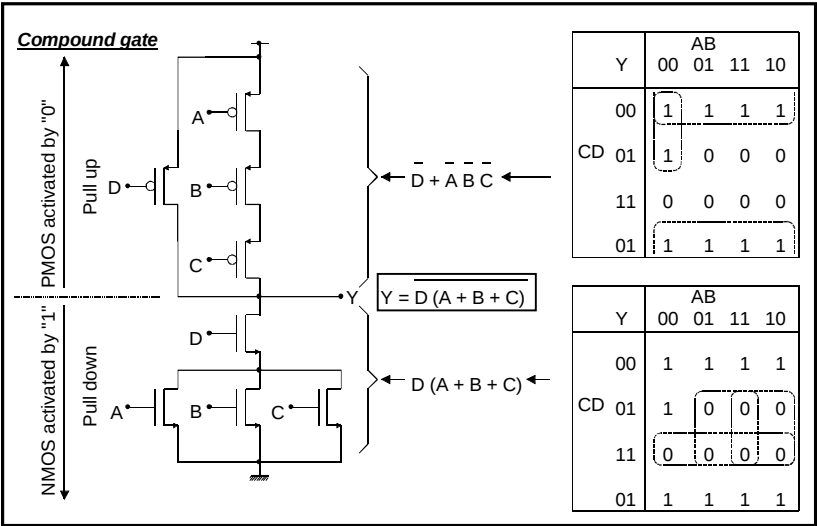
$$\text{out} = \overline{[ab+c]}$$



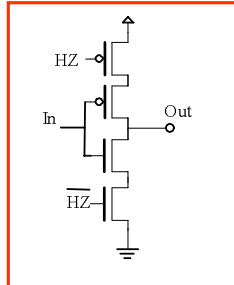
Portes CMOS complexes: AOI, OAI



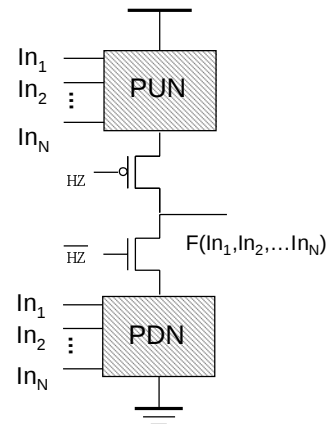
Portes CMOS complexes



Portes CMOS tristate



HZ	In	Out
0	0	1
0	1	0
1	0	Z
1	1	Z



- possibilitat d'alta impedància :
 - xarxa pmos i nmos mai condueixen simultàneament però pot ser que cap de les dues estigui conduïnt durant un cert temps
 - cas de buffers, que control·len senyals que estan control·lades per altres blocs

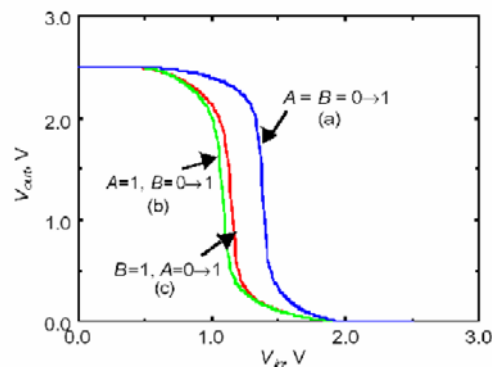
Portes CMOS complexes: VTC

□ La corba de transferència de voltatge depen dels vectors d'entrada. Per exemple en una nand2 hi ha tres possibles formes per canviar de nivell

- 11 ↔ 10
- 11 ↔ 01
- 11 ↔ 00

□ V_{OH} i V_{OL} es mantenen a V_{DD} i gnd respectivament.

□ V_{OH} i V_{OL} varien en funció de les entrades



Resposta semblant a la de l'inversor

Retards de portes complexes

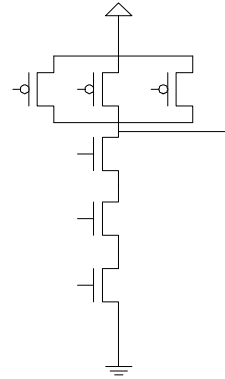
- Sabem calcular el retard en portes inversores (un únic transistor carrega o descarrega el nus de sortida)
- Què passa a portes complexes ? (exemple NAND3)
 - Considerar inversor equivalent

- Pull down = transistor NMOS equivalent

$$\beta_{n_equivalent} = \frac{1}{\frac{1}{\beta_{n1}} + \frac{1}{\beta_{n2}} + \frac{1}{\beta_{n3}}} = \frac{\beta_n}{3}$$

- Pull up = transistor PMOS equivalent
 - Pot dependre del vector d'entrada
 - Considerar pitjor cas

$$\beta_{p_equivalent} = \beta_{p1} \quad \text{ò} \quad \beta_{p1} + \beta_{p2} \quad \text{ò} \quad \beta_{p1} + \beta_{p2} + \beta_{p3}$$

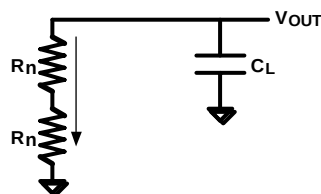


Porta NAND

- Pulldown: transistors nMOS en sèrie

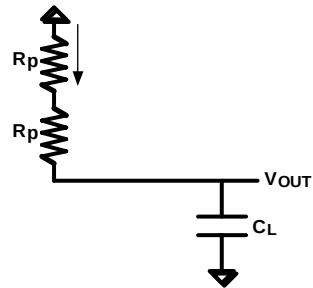
$$t_f = 2.2 * (2 * R_n) * C_L$$
- Pullup: transistors pMOS en paral·lel (pitjor cas, un transistor conduïnt)

$$t_r = 2.2 * R_p * C_L$$



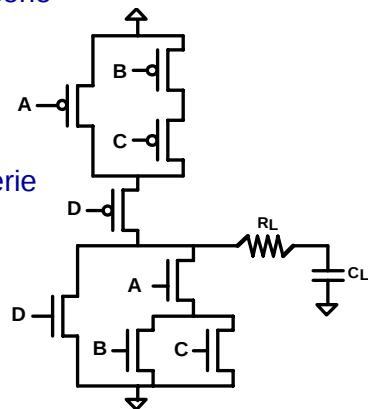
Porta NOR

- Pulldown: transistors nMOS en paral·lel
(pitjor cas, un transistor conduïnt)
 $t_f = 2.2 * R_n * C_L$
- Pullup: transistors pMOS en sèrie
 $t_r = 2.2 * (2 * R_p) * C_L$
- La NOR és més lenta que la NAND
(per què?)

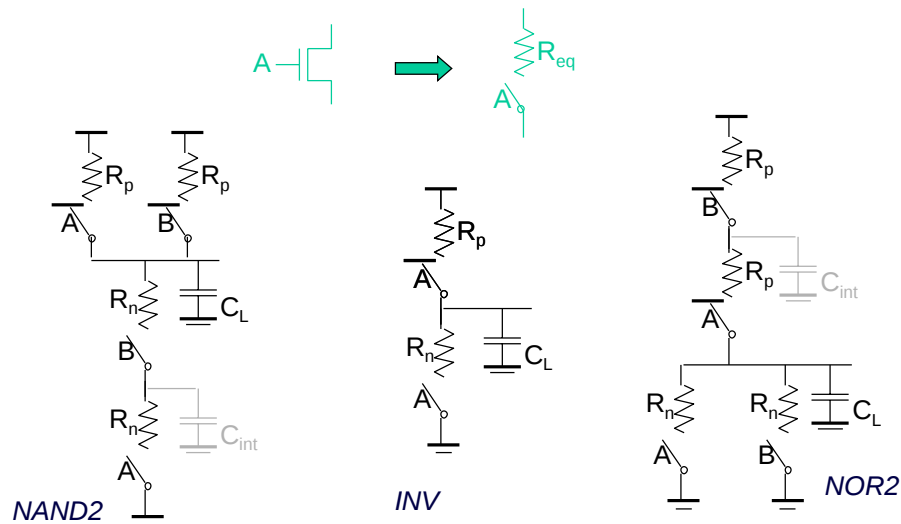


Porta AOI

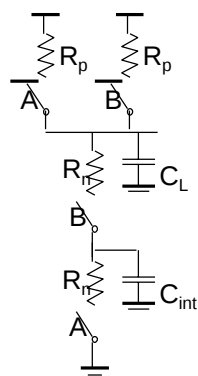
- Temps de baixada: 2 transistors nMOS en sèrie
(pitjor cas)
 $t_f = 2 * 2.2 * (R_n + R_L) C_L$
- Temps de pujada: 3 transistors pMOS en sèrie
(pitjor cas)
 $t_r = 3 * 2.2 * (R_n + R_L) C_L$



Model de retard

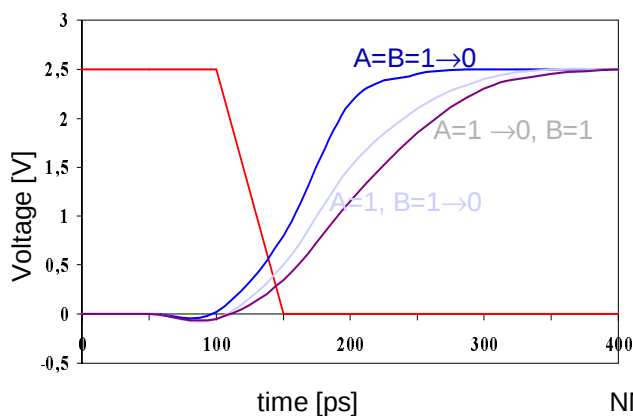


Dependència del retard amb el valor de les entrades



- El retard depen del valor de les entrades
- Transició $0 \Rightarrow 1$
 - Les dues entrades són 0
 - El retard es $0.69 \frac{R_p}{2} C_L$
 - Una entrada és 0
 - El retard és $0.69 R_p C_L$
- Transició $1 \Rightarrow 0$
 - Les dues entrades són 1
 - El retard és $0.69 2R_n C_L$

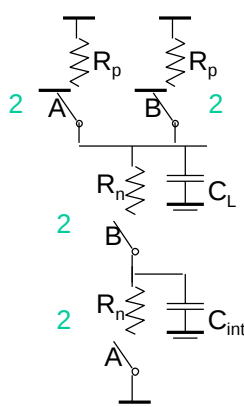
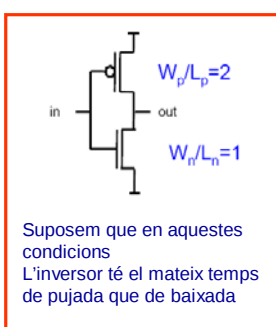
Dependència del retard amb el valor de les entrades



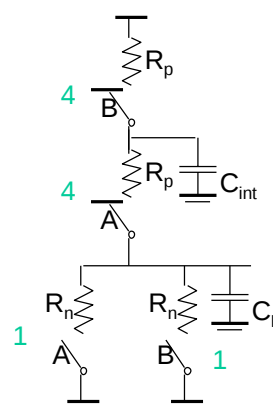
Input Data Pattern	Delay (psec)
A=B=0→1	67
A=1, B=0→1	64
A= 0→1, B=1	61
A=B=1→0	45
A=1, B=1→0	80
A= 1→0, B=1	81

NMOS = $0.5\mu\text{m}/0.25\mu\text{m}$
 PMOS = $0.75\mu\text{m}/0.25\mu\text{m}$
 $C_L = 100\text{ fF}$

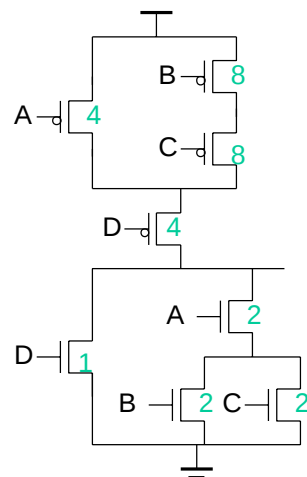
Dimensionament Dels Transistors



Si és dobla la mida dels transistors nMOS aquesta porta té el mateix retard que l'inversor (en el pitjor cas)

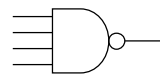
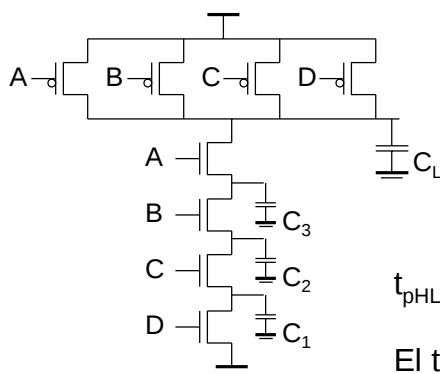


Dimensionament Dels Transistors



$$\text{OUT} = \overline{D + A \cdot (B + C)}$$

Consideracions sobre el Fan-In



Model RC distribuït
(Elmore delay)

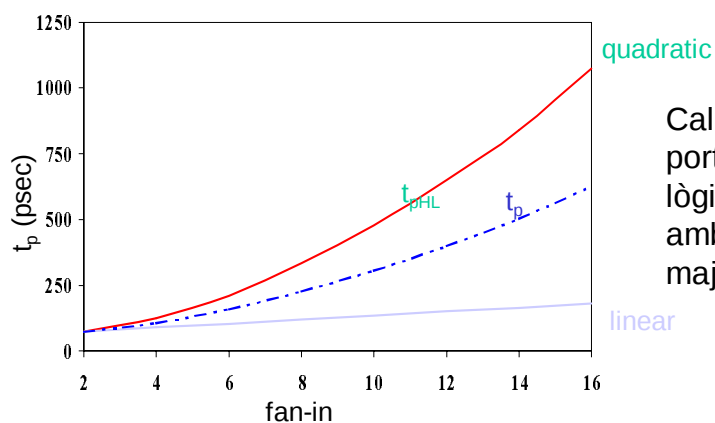
$$t_{pHL} = 0.69 R_{eqn} (C_1 + 2C_2 + 3C_3 + 4C_L)$$

El temps de propagació és
deteriora rapidament en funció del
fan-in (en el pitjor dels casos en
forma quadràtica)

Temps de retard i Fan-In

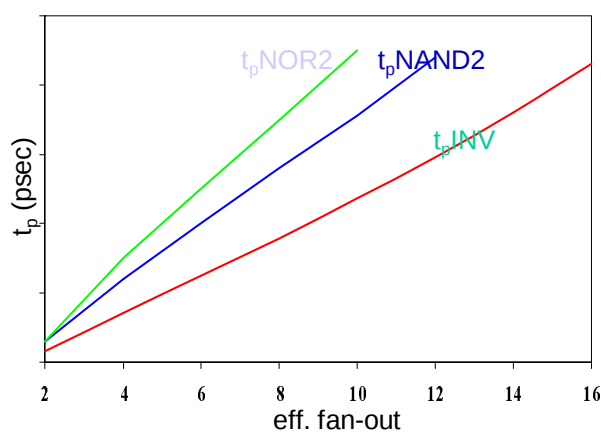
- Pot ser una porta lògica arbitràriament complexa?

– NO, el retard depen fortament del nombre de variables d'entrada:



Cal evitar
portes
lògiques
amb fan-in
major que 4

Temps de retard i Fan-Out



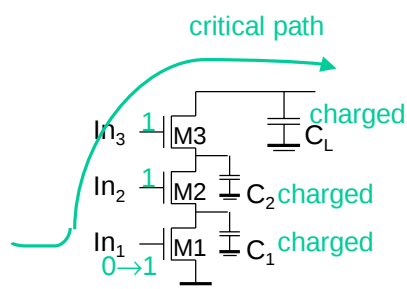
Portes amb
corrent de
càrrega
semblant.

- Fan-in: **quadratic** degut a l'increment de la resistència i la capacitat internes
- Fan-out: cada porta addicional contribueix a C_L amb 2 capacitats de porta

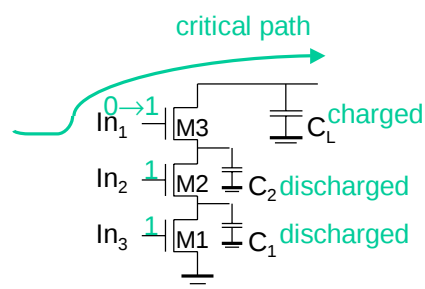
$$t_p = a_1 FI + a_2 FI^2 + a_3 FO$$

Tècniques de disseny (I)

- Ordre dels Transistors



Temps de propagació
determinat pel temps de
descàrrega de C_L , C_1 i C_2

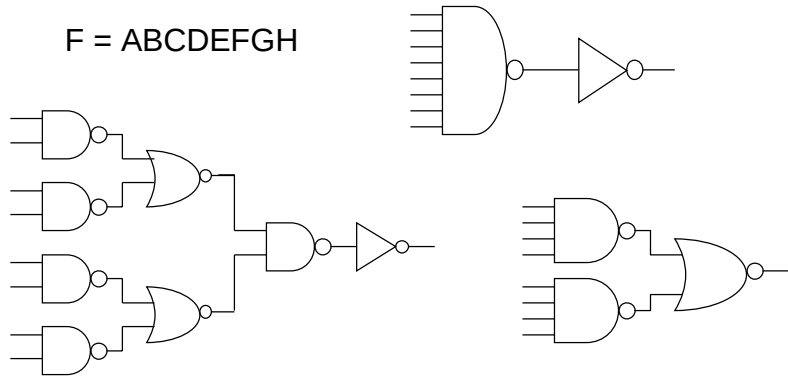


Temps de propagació
determinat pel temps de
descàrrega de C_L

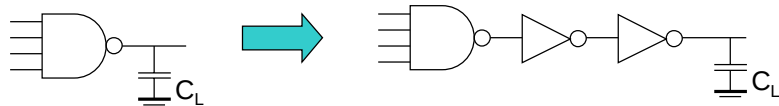
Tècniques de disseny (II)

- Utilitzeu estructures lògiques alternatives

$$F = ABCDEFGH$$



Tècniques de disseny (III)



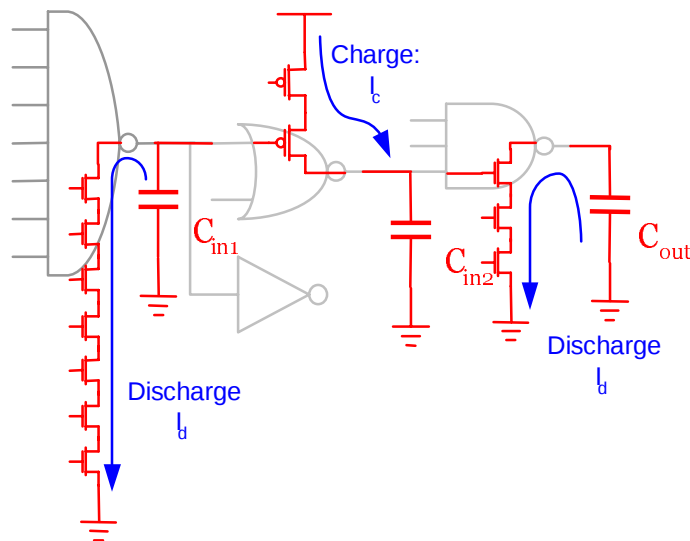
Tècniques de disseny (IV)

- Reduir l'excursió de voltatge del nus que commuta

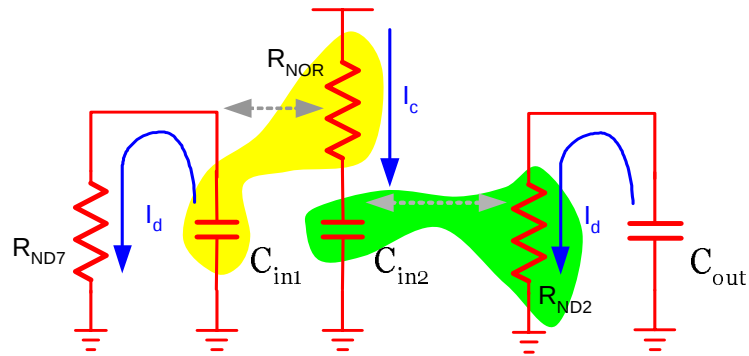
$$t_{pHL} = 0.69 (3/4 (C_L V_{DD}) / I_{DSATn})$$
$$= 0.69 (3/4 (C_L V_{swing}) / I_{DSATn})$$

- Reducció lineal del retard
- També rebaixa el consum de potència
- Però la porta següent serà més lenta!

Retard en varies etapes lògiques



Retard en varies etapes lògiques



El retard total es pot aproximar per:

$$R_{ND7}C_{in1} + R_{NOR}C_{in2} + R_{ND2}C_{out}$$

CMOS Basic: Delay

El retard d'un senyal en un circuit digital CMOS depèn de:

- Fan-in de les portes
- Fan-out
- Nombre de portes que hi ha en el camí entre entrada i sortida.
- Retard associat a les interconnexions.

CMOS Basic: Delay

Mesures per reduir el retard:

- Fer els transistors més amples per tal de minimitzar les resistències de pull-up/down
- Fer els transistors més petits per tal de minimitzar la capacitat de carrega de les portes
- Reduir el nombre d'etapes lògiques en un camí.
- Apropar els blocs entre sí per tal de reduir la longitud de les interconnexions.

Lògica CMOS estàtica

- Advantages
 - No conducció simultànes dues xarxes : **Consum estàtic NUL.**
 - Lògica molt robusta i regeneració de nivells lògics
 - Acceptable capacitat de conducció
 - Aïllament elèctric entrada/sortida
- Inconvenients
 - Àrea: necessitat de dues xarxes lògiques (redundància)
 - Àrea: xarxa PMOS no dimensions mínimes $K_P < K_N$
 - Velocitat: “moderada”
 - àrea gran $\Rightarrow$ capacitat gran $\Rightarrow$ velocitat menor