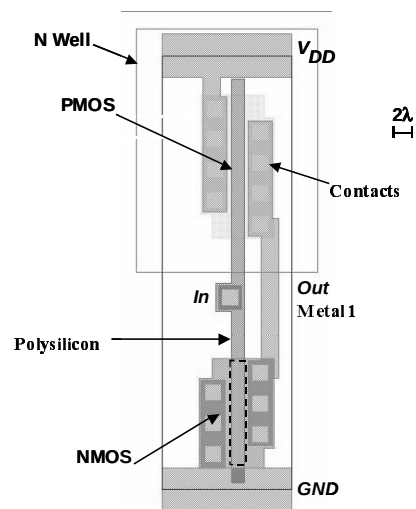
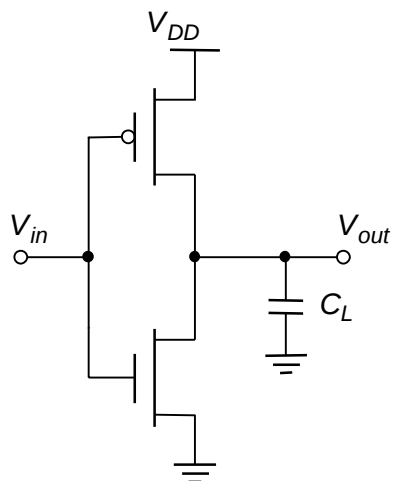


Tema 4 : L'inversor CMOS

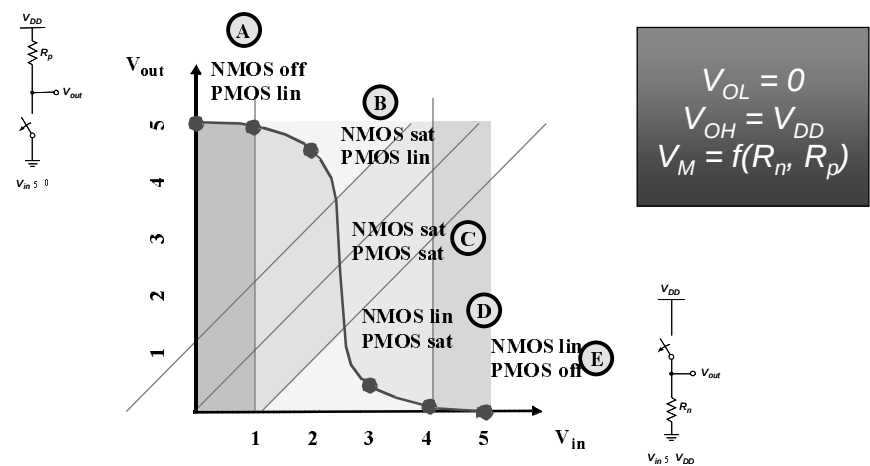
Sebastià Bota

Sistemes Microelectrònics
Assignatura Optativa

Inversor CMOS



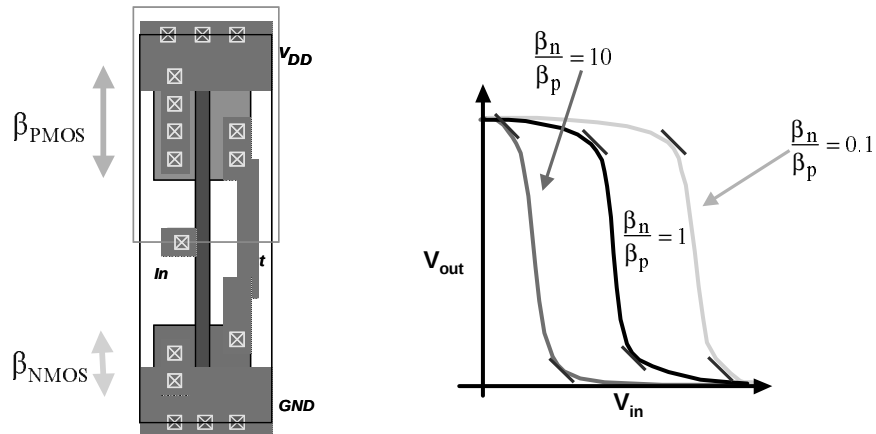
Corba de transferència de Voltatge: VTC



Corba de transferència de Voltatge: VTC

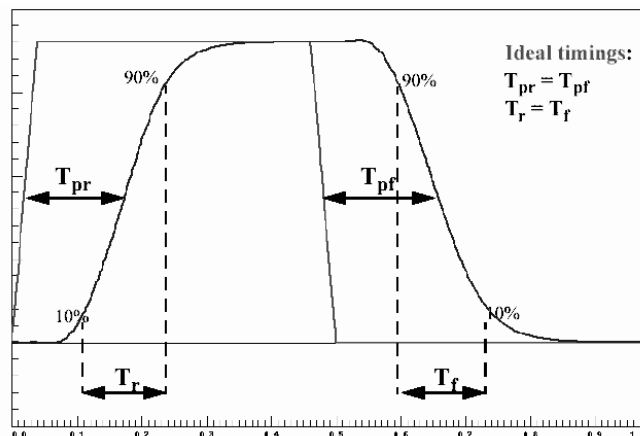
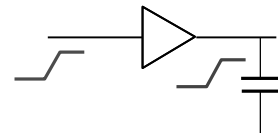
V_{in}	n-MOS	p-MOS	V_{out}
0	cut-off	linear	V_{dd}
$V_{TN} < V_{in} < V_{dd}/2$	saturation	linear	$\sim V_{dd}$
$V_{dd}/2$	saturation	saturation	$V_{dd}/2$
$V_{dd} - V_{TP} > V_{in} > V_{dd}/2$	linear	saturation	~ 0
V_{dd}	linear	cut-off	0

Dependència amb la relació $\beta_{PMOS}/\beta_{NMOS}$



Característiques dinàmiques

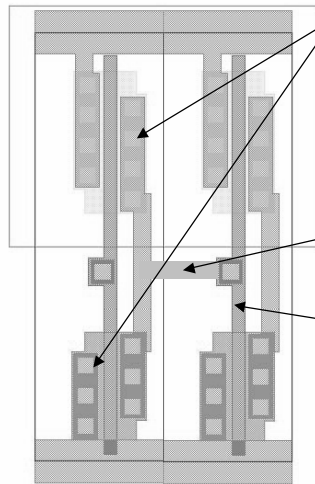
- Relacionades amb el temps de carrega/descarrega de C_L



- Temps de pujada "rise time" (10%-90%)
- Temps de baixada "fall time" (90%-10%)
- Temps de retard o propagació "delay time" 50%inpt-50%out

Capacitat de sortida: C_L

3 Contribucions



C_i : capacitat intrínseca

$$2 \times CGDO_n \times W_n$$

$$2 \times CGDO_p \times W_p$$

$$K_{eqn} \times AD_n \times CJ + K_{eqsw} \times PD_n \times CJSW$$

$$K_{eqp} \times AD_p \times CJ + K_{eqswp} \times PD_p \times CJSW$$

C_w : capacitat paràsitica associada a les interconnexions

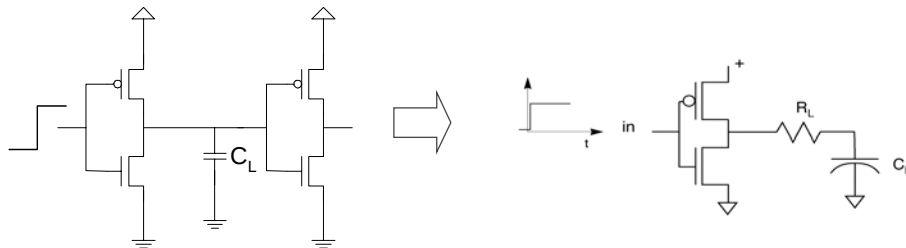
C_g : capacitat de porta

$$(CGDO_n \times CGSO_n) \times W_n + C_{ox} \times W_n \times L_n$$

$$(CGDO_p \times CGSO_p) \times W_p + C_{ox} \times W_p \times L_p$$

Càlcul dels temps de commutació

- Resposta inversor CMOS càrrega C_L a un esglaó ideal.

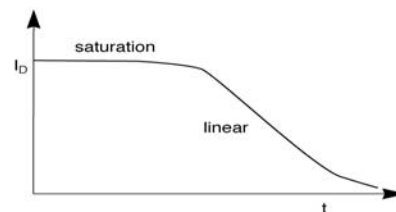


– Procés dinàmic: V_{in} passa de 0 a V_{DD} (amb $t_r=0$)

– PMOS tallat

– NMOS descàrrega V_{out}

- 1 tallat
- 2 saturació
- 3 lineal

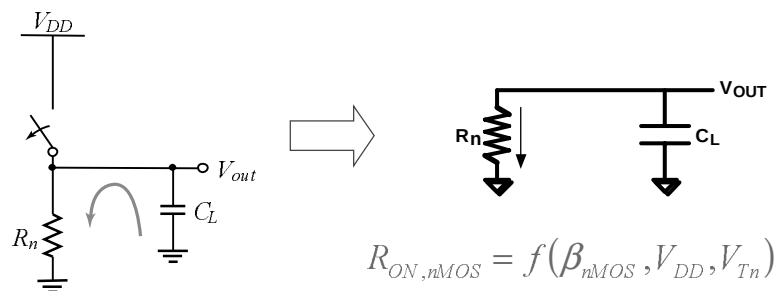


Càlcul dels temps de commutació

- Aproximació τ
 - El transistor responsable del canvi de nivell es modela com una resistència
- Aproximació de la font de corrent.
 - El transistor que responsable del canvi de nivell es modela com una font de corrent

Aproximació τ : Procés de descàrrega

- Capacitat de sortida inicialment a V_{DD} : $V_{out}(t=0)=V_{DD}$
- El Transistor es modela com una resistència $R_{ON,nmos}$



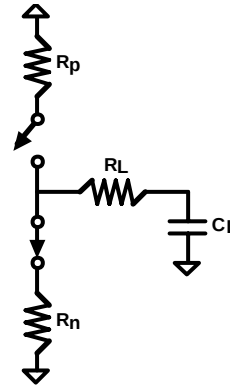
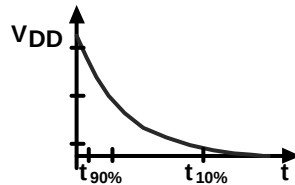
D'acord al que es dedueix de la transparència anterior, la resistència del canal del transistor nMOS no es manté constant durant el procés de descàrrega, de fet, $R_{ON,nmos}$ correspon al valor promig d'aquesta resistència

Aproximació τ : Procés de descàrrega

Rising Input / Falling Output

$$V_{out}(t) = V_{DD} e^{\frac{-t}{(R_{ONn} + R_L)C_L}}$$

$$0.5V_{DD} = V_{DD} e^{\frac{-t_{pHL}}{(R_{ONn} + R_L)C_L}}$$

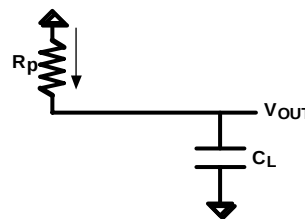
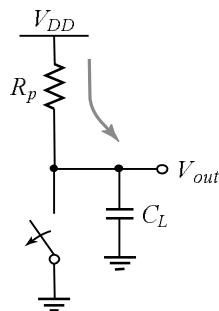


$$t_{pHL} = -(R_{ONn} + R_L)C_L \ln(0.5) = 0.69(R_{ONn} + R_L)C_L$$

$$t_f = t_{10\%} - t_{90\%} = (R_{ONn} + R_L) \ln\left(\frac{0.1}{0.9}\right) = 2.2(R_{ONn} + R_L)C_L$$

Aproximació τ : Procés de càrrega

- Capacitat de sortida inicialment a GND : $V_{out}(t=0)=0$
- El PMOS es modela com una resistència $R_{ON,pmos}$



$$R_{ON,pMOS} = f(\beta_{pMOS}, V_{DD}, V_{Tp})$$

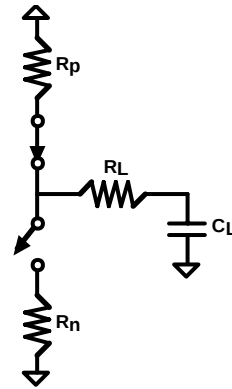
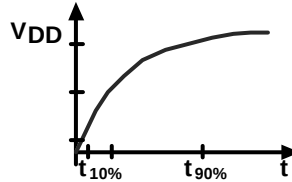
D'acord al que em dit previament, la resistència del canal del transistor pMOS no es manté constant durant el procés de descàrrega, de fet, $R_{ON,pmos}$ correspon al valor promig d'aquesta resistència

Aproximació τ : Procés de descàrrega

Falling Input / Rising Output

$$V_{out}(t) = \left[1 - V_{DD} e^{\frac{-t}{(R_n + R_L)C_L}} \right]$$

$$0.5 V_{DD} = V_{DD} \left[1 - e^{\frac{-t_{pHL}}{(R_n + R_L)C_L}} \right]$$

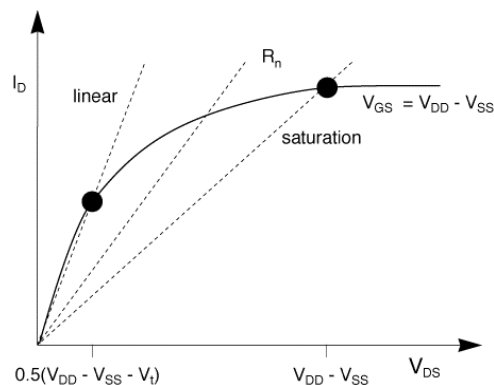


$$t_{pHL} = -(R_n + R_L)C_L \ln(0.5) = 0.69(R_n + R_L)C_L$$

$$t_r = t_{90\%} - t_{10\%} = (R_n + R_L) \ln\left(\frac{0.1}{0.9}\right) = 2.2(R_n + R_L)C_L$$

Aproximació τ : Càlcul de R_{ON}

- Fer un promig de V/I a dos voltatges:
 - Voltatge màxim de sortida
 - Punt mig de la regió lineal



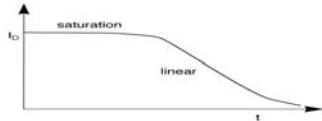
- Exemple:

Procés de 90nm :

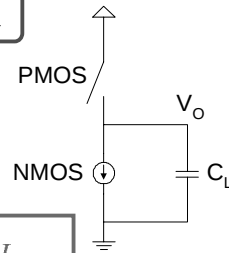
- $R_{ON,nMOS} = 11.1 \text{ k}\Omega$
- $C_L = 0.12 \text{ fF}$

Aproximació de la font de corrent: Càlcul del temps de baixada

- El transistor es modela com una font de corrent
- Saturació: t_{f1} temps en que V_o passa de $0.9 V_{DD}$ a $V_{DD}-V_T$
- Lineal: t_{f2} temps en que V_o passa de $V_{DD}-V_T$ a $0.1 V_{DD}$



$$C_L \frac{dV_o}{dt} = -I_{NMOS}$$



$$(NMOS saturat) \quad C_L \frac{dV_o}{dt} = -\frac{\beta_n}{2} (V_{DD} - V_T)^2 \quad \Rightarrow \quad \int_{0.9V_{DD}}^{V_{DD}-V_T} \frac{-2C_L}{\beta_n (V_{DD} - V_T)^2} dV_o = \int_0^{t_{f1}} dt$$

$$(NMOS lineal) \quad C_L \frac{dV_o}{dt} + \beta_n \left[(V_{DD} - V_T) V_o - \frac{V_o^2}{2} \right] = 0 \quad \Rightarrow \quad \int_{V_{DD}-V_T}^{0.1V_{DD}} \frac{C_L dV_o}{-\beta_n (V_{DD} - V_T) V_o + \frac{\beta_n V_o^2}{2}} = \int_0^{t_{f2}} dt$$

$$t_{f1} = \frac{2C_L (V_T - 0.1V_{DD})}{\beta_n (V_{DD} - V_T)^2}$$

$$t_{f2} = \frac{C_L}{\beta_n (V_{DD} - V_T)} \ln \left[\frac{19V_{DD} - 20V_T}{V_{DD}} \right]$$

Aproximació de la font de corrent: Càlcul del temps de baixada

- 3) $t_f = t_{f1} + t_{f2}$
- Definim $n = V_T / V_{DD}$, aleshores:

$$t_f = t_{f1} + t_{f2} = \frac{2C_L}{\beta_n V_{DD} (1-n)} \left[\frac{n-0.1}{1-n} + \frac{1}{2} \ln(17-20n) \right] = 3.5 \frac{C_L}{\beta_n V_{DD}}$$

– Suposant que $V_{Tn} = 0.2 V_{DD}$ ($n=0.2$) resulta

– El temps de baixada augmenta si

- La capacitat de càrrega augmenta
- La transconductància dels transistors disminueix
 - Relacionat amb les mides dels transistors
- La tensió d'alimentació V_{DD} disminueix.

Aproximació de la font de corrent: Càlcul del temps de pujada

- Procés controlat pel transistor PMOS, una anàlisi equivalent al realitzat previament dona com a resultat:

$$t_r = t_{r1} + t_{r2} = \frac{2C_L}{\beta_p V_{DD}(1-p)} \left[\frac{p-0.1}{1-p} + \frac{1}{2} \ln(17-20p) \right] = 3.5 \frac{C_L}{\beta_p V_{DD}}$$

amb $p = |V_{Tp}|/V_{DD}$

Suposant que $|V_{Tp}| = 0.2 V_{DD}$ ($p=0.2$) resulta

Aproximació de la font de corrent: Càlcul del temps de propagació

- Repetir el procediment canviant els límits d'integració
Temps de propagació de baixada: entre V_{DD} i $\frac{1}{2}V_{DD}$:

$$t_{pHL} = t_{pHL1} + t_{pHL2} = \frac{2C_L}{\beta_n V_{DD}(1-n)} \left[\frac{n}{1-n} + \frac{1}{2} \ln(3-4n) \right]$$

- Temps de propagació de pujada: entre 0 i $\frac{1}{2}V_{DD}$:

$$t_{pHL} = t_{pHL1} + t_{pHL2} = \frac{2C_L}{\beta_p V_{DD}(1-p)} \left[\frac{p}{1-p} + \frac{1}{2} \ln(3-4p) \right]$$

Comparació entre les dues Aproximacions

- Encara que les dues aproximacions semblen diferents, no ho són tant...

$$t_r = 2.2 R_n C_L$$

$$t_r = 3.5 \frac{C_L}{\beta_N V_{DD}}$$

- Aquest terme té unitats de $1/R$, per tant els dos models donen el mateix resultat si és considera que

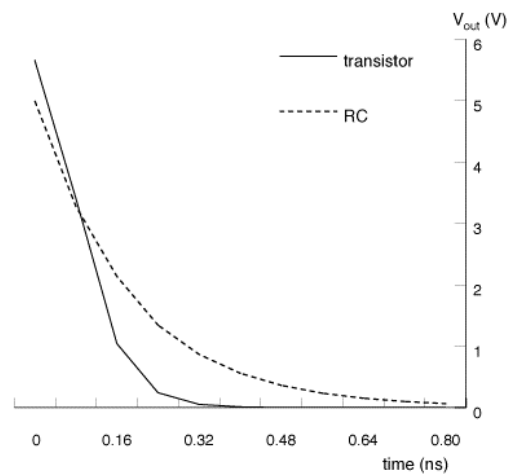
$$R_{ON} = \frac{1.6}{\beta_N V_{DD}}$$

El factor 1.6 es vàlid
únicament si
 $V_{TN}/V_{DD}=0.2$
En cas contrari s'ha de
recalcular

En la pràctica...

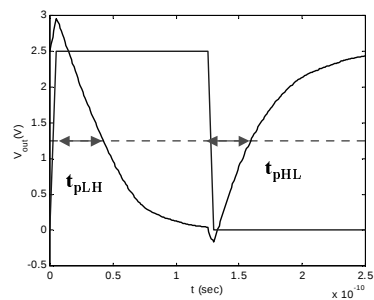
- Utilitzeu l'aproximació de R_{ON} per un predicció ràpida dels temps de pujada i de baixada.

Si es vol un resultat
més precís, utilitzeu
SPICE

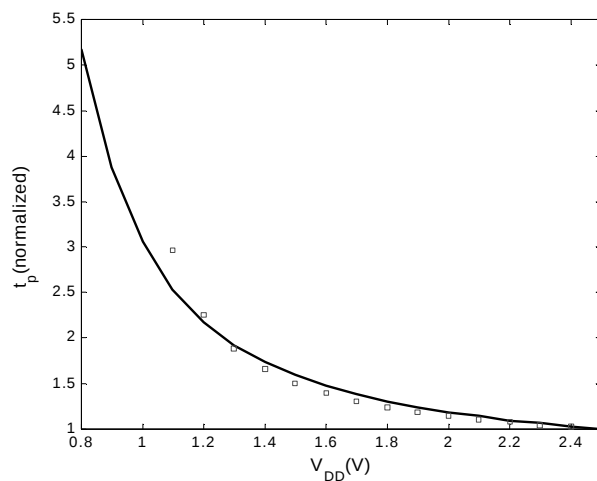


Minimització del temps de retard

- Minimitzar les capacitats de sortida
- Incrementar les mides dels transistors
 - Compte amb l'auto-càrrega!
- Incrementar V_{DD} (????)

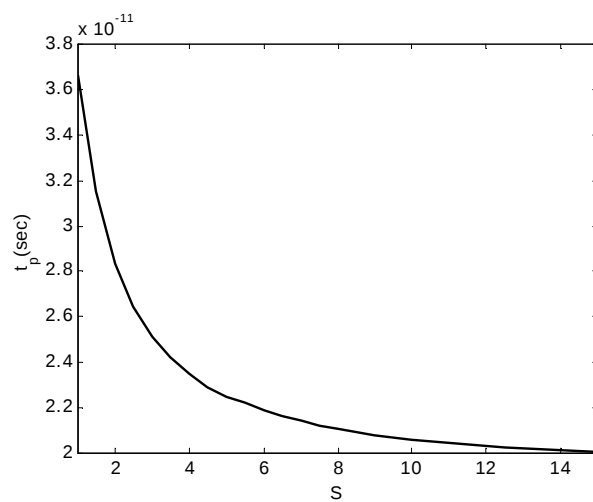


Dependència amb V_{DD}



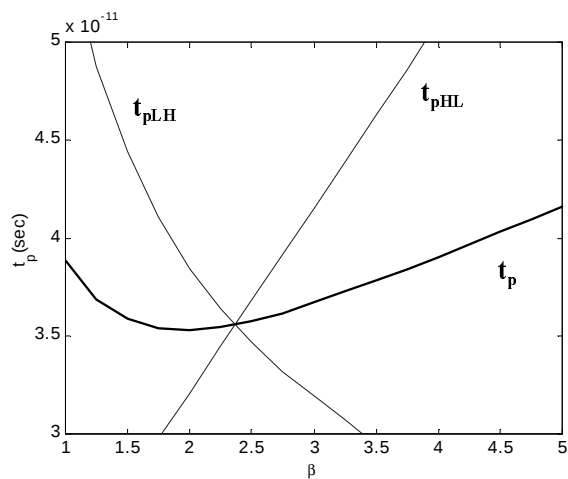
Retard de propagació d'un inversor CMOS en funció de V_{DD} (normalitzat al retard de $V_{DD} = 2.5V$)
Els quadrats indiquen els retards calculats amb el model de la font de corrent

Dependència amb W



Efecte d'autocàrrega:
Les capacitats intrínseques
arriben a dominar

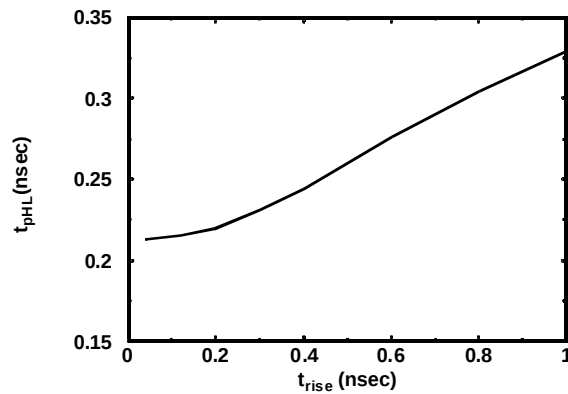
Dependència amb β



Retard en la propagació
D'un inversor CMOS
En funció de

$$\beta = W_p / W_n$$

Impacte del temps de transició



$$t_{pHL} = \sqrt{t_{pHL(step)}^2 + (t_r/2)^2}$$

Potència i Energia

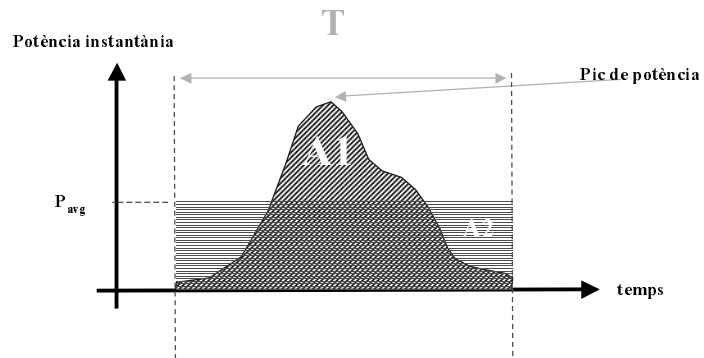
- En un circuit integrat, la potència la subministra una font externa de voltatge connectada als pins de V_{DD} .

- Potència instantània: $P(t) = i_{DD}(t)V_{DD}$

- Energia: $E = \int_0^T P(t)dt = \int_0^T i_{DD}(t)V_{DD}dt$

- Potència promig: $P_{avg} = \frac{E}{T} = \frac{1}{T} \int_0^T i_{DD}(t)V_{DD}dt$

Potència i Energia



$A1$ és l'Energia consumida en l'interval T

P_{avg} és la potència promig, les àrees $A1$ i $A2$ són iguals

Quin consum té una porta CMOS?

- **Consum Dinàmic**

Càrrega i descàrrega de condensadors

- **Corrents de curtcircuit**

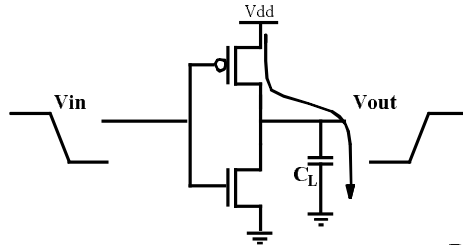
Hi ha un curtcircuit entre les fonts d'alimentació en la transició lògica

- **Leakage**

Corrents de fuites en díodes i transistors

Dissipació de potència: dinàmica

- Dissipació dinàmica : càrrega i descàrrega de C_L



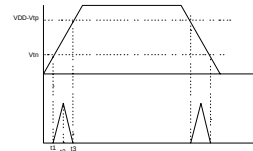
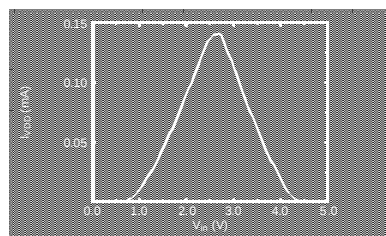
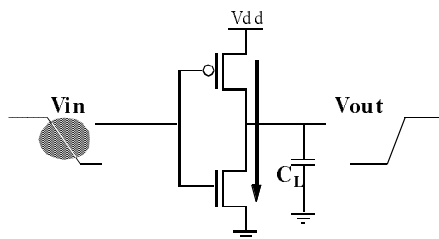
$$\text{Energia/transició} = C_L * V_{dd}^2$$

$$\text{Potència} = \text{Energia/transició} * f = C_L * V_{dd}^2 * f$$

Es independent de les Mides dels transistors

Depén de la freqüència, la capacitat de sortida i la polarització

Dissipació de potència: Curtcircuits



$$P = I_{Prmedio} V_{DD}$$

$$I_{Prmedio} = 2 \left(\frac{1}{T} \int_{t_1}^{t_2} I(t) dt + \frac{1}{T} \int_{t_2}^{t_3} I(t) dt \right)$$

$$V_{TN} = -V_{TP} \quad \beta_N = \beta_P$$

$$I_{Prmedio} = 2 \frac{\beta}{T} \int_{t_1}^{t_2} \frac{1}{2} (V_i - V_T)^2 dt$$

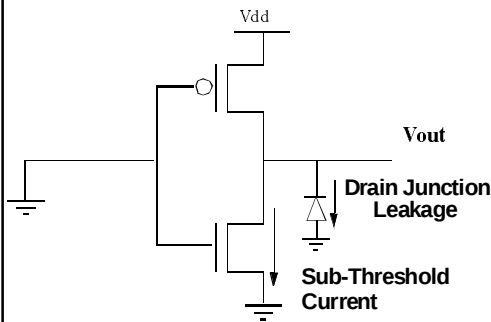
- Si se considera aprox lineal (T_r temps de pujada - T_p periode)

$$P = \frac{\beta}{12} (V_{DD} - 2V_T)^3 \frac{T_r}{T_p}$$

Dissipació de potència: fuites

- Dissipació per fuites

- Estàtica: corrent de consum estàtic per tensió d'alimentació (a CMOS complementària es considera nul i fuites no nul)
- Fuites: contribució de corrent de fuites + contribució corrent subthreshold



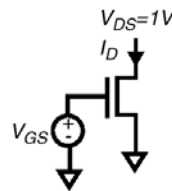
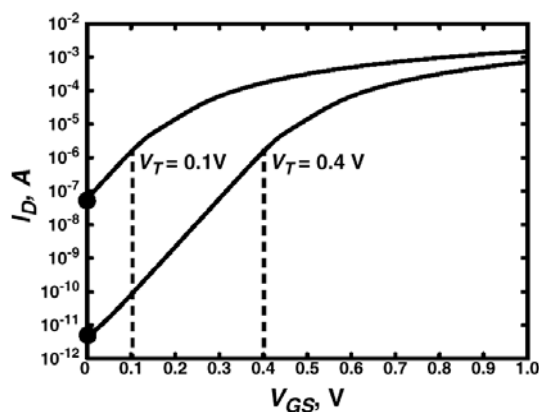
$$I_{\text{subthreshold}} = I_{D0} \frac{W}{L} e^{\frac{V_{GS} - V_T}{n\phi_T}} \left(1 - e^{-V_{DS}/\phi_T} \right)$$

$$I_D = I_S \left(e^{qV/KT} - 1 \right)$$

$$P_{\text{fuites}} = \sum_{i=1}^n (I_D + I_{\text{subthreshold}}) V_{DD}$$

Dissipació de potència: fuites

Forta dependència del corrent de fuites amb V_T



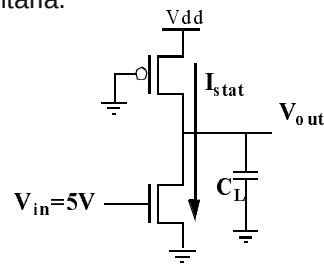
- Leakage control is critical for low-voltage operation

Dissipació de potència: estàtica

- Dissipació estàtica

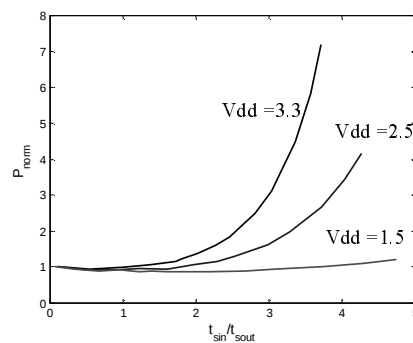
corrent de consum estàtic per tensió d'alimentació quan la porta es troba en el seu estat estacionari (a CMOS complementària es considera nul)

Aquesta contribució pot ser important en famílies lògiques diferents a CMOS complementària.



$$P_{stat} = P_{(In=1)} \cdot V_{dd} \cdot I_{stat}$$

Reducció del consum per curtcircuits



- Reduir V_{DD}
- Dissenyar el transistor amb $t_r = t_f$ (Es pot reduir el consum en un 10%)

Dissipació de potència : Total

$$P_{\text{total}} = P_{\text{est}} + P_{\text{fuites}} + P_{\text{din}} + P_{\text{sc}}$$

- A circuits grans es fan necessàries aproximacions. Temps de computació excessius.
- Aproximació de la potència dinàmica a un node

$$P_{\text{din}} = \frac{\alpha \cdot C_L \cdot V_{DD}^2}{T_p} = \alpha \cdot C_L \cdot V_{DD}^2 \cdot f_{CLK}$$

Contribució més important al consum

$$P_{\text{dinTOTAL}} = \sum_{i=1}^{\text{nodes}} (\alpha_i \cdot C_{L_i}) V_{DD}^2 \cdot f_{CLK}$$

Portes lògiques

Factors de Mèrit

Power-Delay Product (PDP) =

$$E = \text{Energia consumida per operació} = P_{av} \times t_p$$

Energy-Delay Product (EDP) =

$$\text{Factor de qualitat d'una porta} = E \times t_p$$

Low Power: Disseny baix consum

- Baix consum: tasca que s'ha d'enfocar en tots els nivells d'abstracció del disseny: algorítmic, arquitectural, lògic, circuital, físic i tecnològic
- Minimització de la potència estàtica i de fuites
 - ús de lògica complementària CMOS (nivell circuital)
 - evitar lògiques NMOS, pseudoNMOS (nivell circuital)
 - I fuites es proporcional a l'àrea de difusió (nivell tecnològic)
 - Minimitzar área de difusión
- Minimització de la potència dinàmica
 - Reducció de V_{DD}
 - tecnologies low-power. Problemes amb V_T "altes"
 - Reducció de C_L
 - Optimització del layout
 - Reducció de la freqüència de treball
 - Varis rellotjes, o rellotjes variables.