

Tema 3 : Característiques del dispositius i els elements dels CI

Rodrigo Picos

Sistemes Microelectrònics
Assignatura Optativa

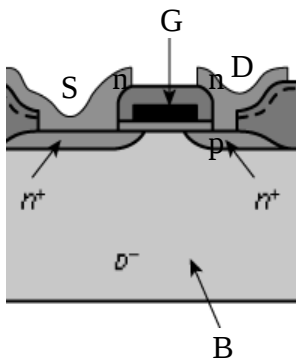
Índex

- **El transistor MOSFET**
- **Elements Passius**
- **Exemples**

Tema 4 : Característiques del dispositius i els elements dels CI

El Transistor MOSFET

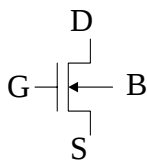
El transistor MOS: Funcionament



$$V_{GS} > V_T \Rightarrow \begin{cases} V_{DS} > V_{GS} - V_T & I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \\ V_{DS} < V_{GS} - V_T & I_{DS} = \beta \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right) \end{cases}$$

$$V_{GS} < V_T \Rightarrow I_{DS} = 0$$

$$\beta = \mu_n \frac{\epsilon_{ox}}{t_{ox}} \frac{W}{L} = \mu_n C_{ox} \frac{W}{L} = K_n \frac{W}{L}$$

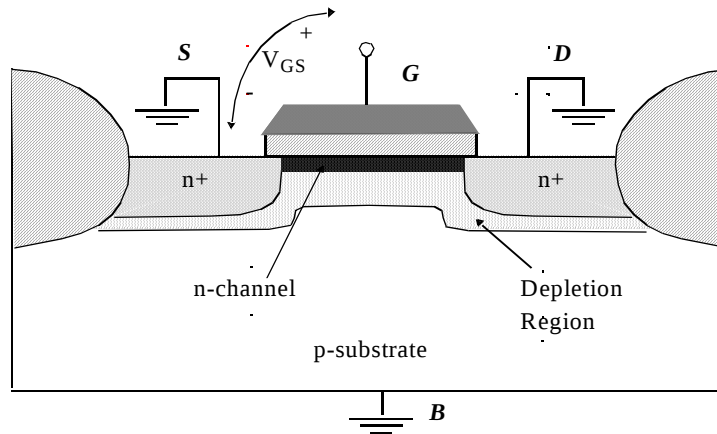


W,L: Paràmetres de disseny

K_n, λ, V_T : Paràmetres Tecnològics

V_{xx}, I_{DS} : Variables de funcionament

Threshold Voltage: Concept



The Threshold Voltage

$$V_T = \phi_{ms} - 2\phi_F - \frac{Q_B}{C_{ox}} - \frac{Q_{SS}}{C_{ox}} - \frac{Q_I}{C_{ox}}$$

Workfunction Difference Surface Charge Implants
Depletion Layer Charge

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

Body Effect Coefficient

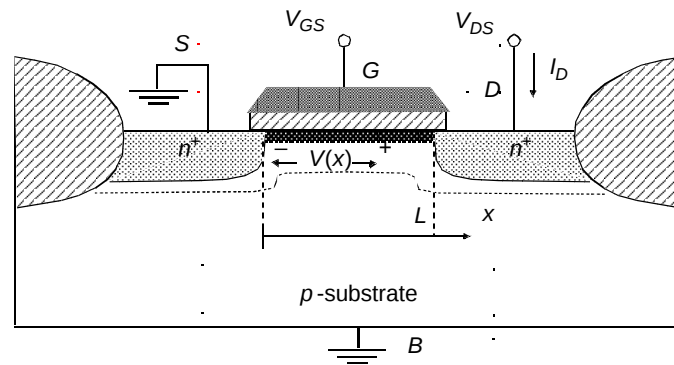
with

$$V_{T0} = \phi_{ms} - 2\phi_F - \frac{Q_{B0}}{C_{ox}} - \frac{Q_{SS}}{C_{ox}} - \frac{Q_I}{C_{ox}}$$

and

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}}$$

Current-Voltage Relations



MOS transistor and its bias conditions

Current-Voltage Relations

Linear Region: $V_{DS} \leq V_{GS} - V_T$

$$I_D = k'_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

with

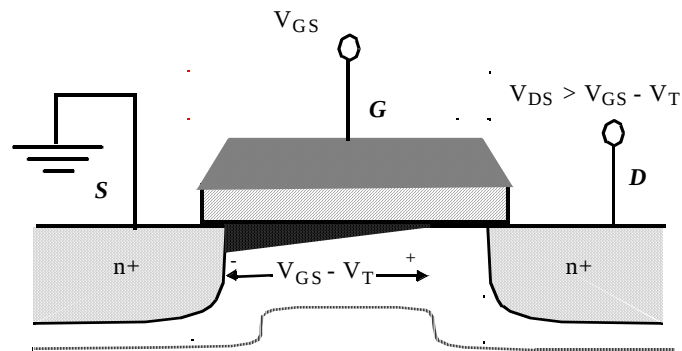
$$k'_n = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad \text{Process Transconductance Parameter}$$

Saturation Mode: $V_{DS} \geq V_{GS} - V_T$

$$I_D = \frac{k'_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

Channel Length Modulation

Transistor in Saturation



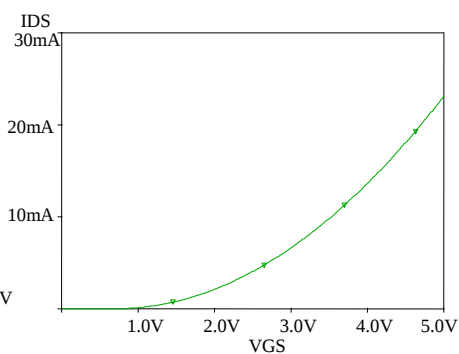
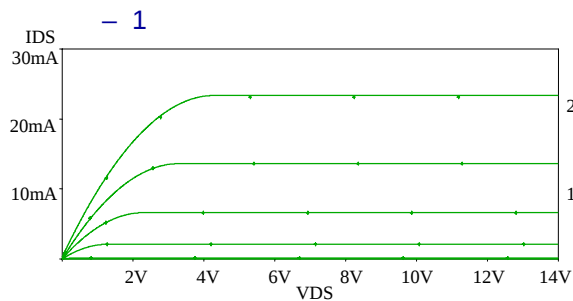
Model Analític del NMOS

- Si $V_{GS} < V_T$, regió de tall
- Si $V_{GS} > V_T$ i $V_{DS} < V_{GS} - V_T$ regió lineal
- Si $V_{GS} > V_T$ i $V_{DS} > V_{GS} - V_T$ regió saturació

$$I_{DS} = 0$$

$$I_{DS} = \beta_N \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

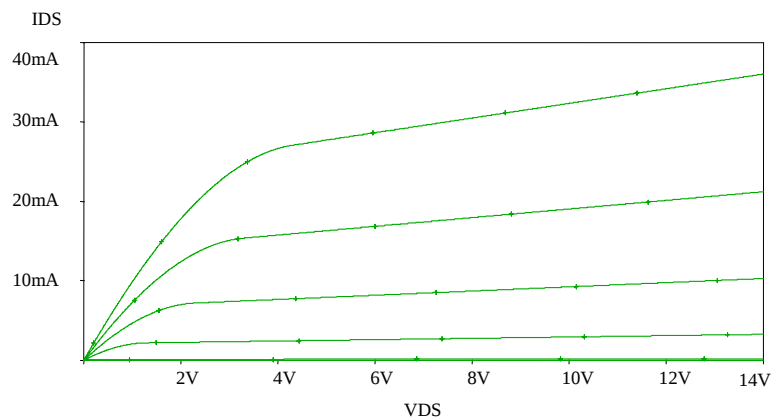
$$I_{DS} = \frac{\beta_N}{2} (V_{GS} - V_T)^2$$



Model Analític del NMOS

- En saturació, I_{DS} depèn de V_{DS} (efecte de modulació de canal)

$$I_{DS} = \frac{\beta_N}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$



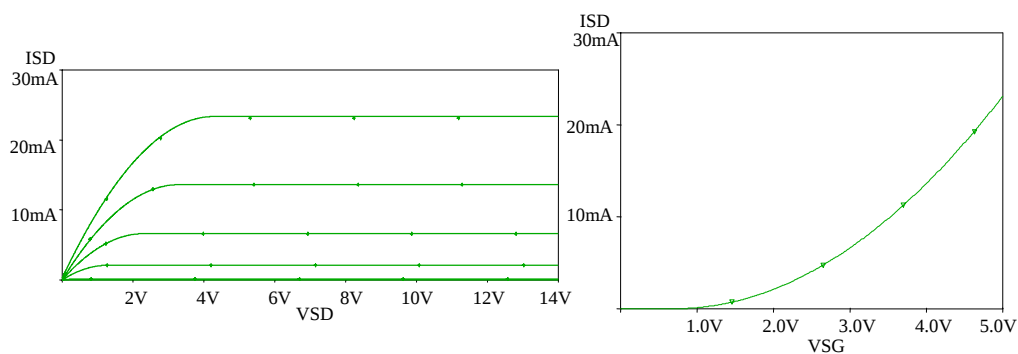
Model Analític del PMOS

- Si $V_{SG} < |V_{TP}|$, regió de tall
- Si $V_{SG} > |V_{TP}|$ i $V_{SD} < V_{SG} - |V_{TP}|$ lineal
- Si $V_{SG} > |V_{TP}|$ i $V_{SD} > V_{SG} - |V_{TP}|$ saturació

$$I_{SD} = 0$$

$$I_{SD} = \beta_P \left((V_{SG} - |V_{TP}|) V_{SD} - \frac{V_{SD}^2}{2} \right)$$

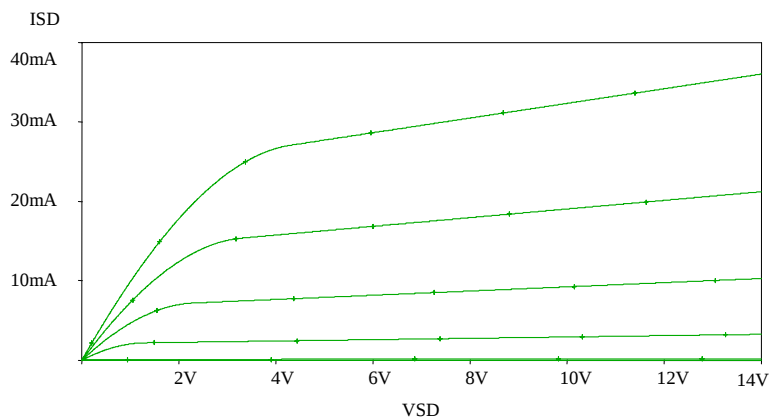
$$I_{SD} = \frac{\beta_P}{2} (V_{SG} - |V_{TP}|)^2$$



Model Analític del PMOS

- En saturació, I_{SD} depèn de V_{SD} (efecte de modulació de canal)

$$I_{SD} = \frac{\beta_P}{2} (V_{SG} - |V_{TP}|)^2 (1 + \lambda V_{SD})$$



Conducció Subthreshold

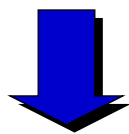
- Important a transistors de canal curt
 - tecnologies molt avançades
- A $V_{GS} < V_T$ hi ha conducció
 - Corrent de difusió drenador-sortidor
 - I_{DS} augmenta si V_T disminueix
 - Consum estàtic no nul

$$I_{DS} \approx \frac{W}{L} I_{DO} e^{\frac{V_{GS} - V_T}{N_O \frac{KT}{q}}}$$

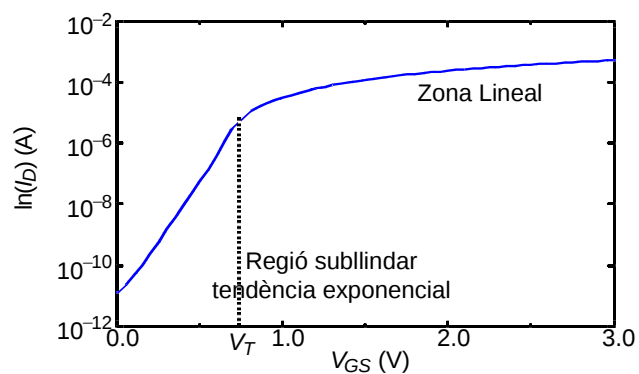
$$I_{DO} \approx C_{OX} \mu_n \left(N_O \frac{KT}{q} \right)^2 e^{1.8}$$

N_O = paràmetre procés

Tecnologia + avançada

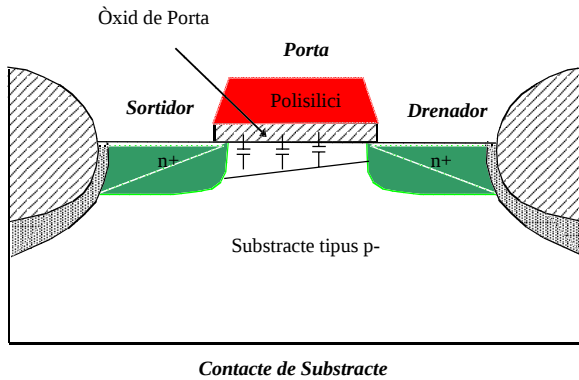


Corrent fuites + important



Models dinàmics: Capacitats al MOS

• Capacitat global Porta-Canal



- Tall : no hi ha canal
 - Tota la contribució al substracte

$$C_{GB}$$

• Conducció

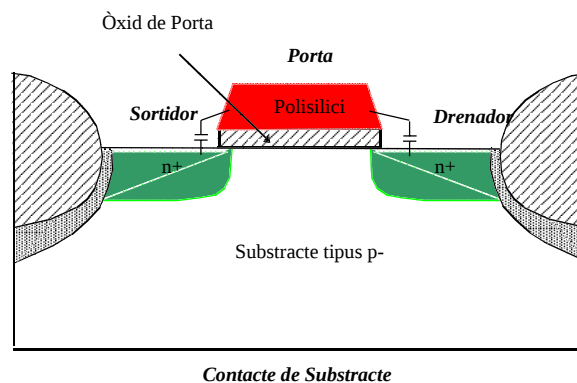
- Lineal : es distribueix entre D i S
- Saturació : no contribueix al drenador

$$C_{GB}, C_{GS} \text{ i } C_{GD}$$

Operation Region	C_{gb}	C_{gs}	C_{gd}
Cutoff	$C_{ox}WL_{eff}$	0	0
Triode	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$
Saturation	0	$(2/3)C_{ox}WL_{eff}$	0

Models dinàmics: Capacitats al MOS

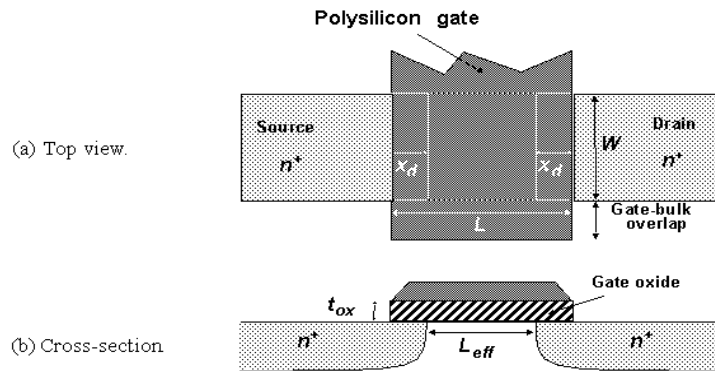
• Capacitat Porta-Sortidor i Porta-Drenador



- Nova contribució a C_{GS} i C_{GD}
- Són degudes al no alineament entre porta i illes de drenador i sortidor
- Concepte de longitud de canal i de longitud efectiva

Models dinàmics: Capacitats al MOS

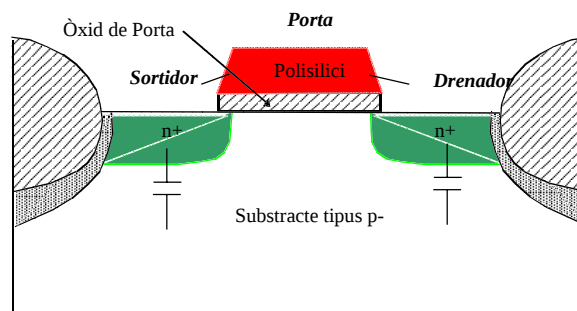
- Capacitat de porta



$$C_{gate} = \frac{\epsilon_{ox}}{t_{ox}} WL$$

Models dinàmics: Capacitats al MOS

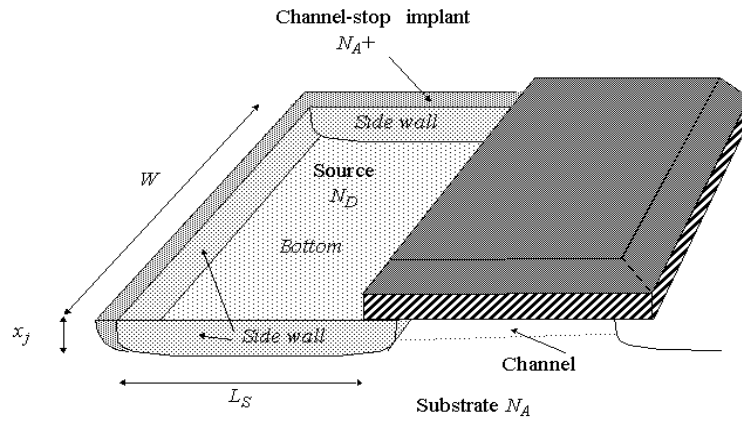
- Capacitat drenador-substrate i sortidor-substrate (Cap. De Difusió)



Contacte de Substrate

- Són degudes a les polaritzacions inverses d'unions PN
- Depenen de la tensió
- Es poden aproximar per una llei proporcional amb l'àrea i el perímetre de les regions de drenador i sortidor

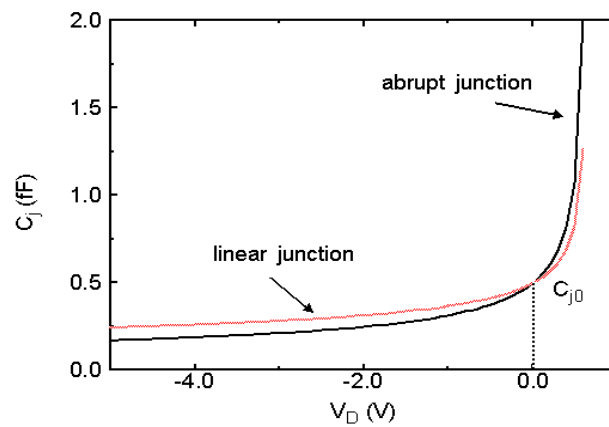
Capacitat de difusió



$$C_{diff} = C_{bottom} + C_{sw} = C_j \times AREA + C_{jsw} \times PERIMETER$$

$$= C_j L_S W + C_{jsw} (2L_S + W)$$

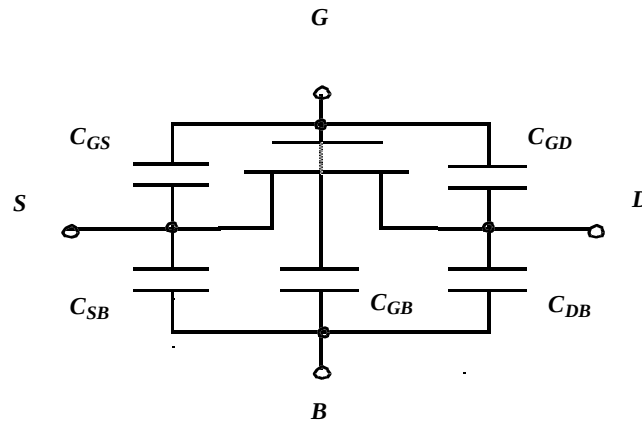
Capacitat de difusió (dep. amb V)



$$C_j = \frac{C_{j0}}{(1 - V_D/\phi_0)^m}$$

Model Dinàmic

- El model inclou les capacitats abans descrites



Models Spice

- **Level 1:**
 - Dispositius de canal llarg. Model de Sah - Molt Simple
- **Level 2:**
 - Model físic.
 - Inclou efectes de velocitat de saturació i variacions de tensió de threshold
- **Level 3:**
 - Model Semiempíric
 - Basat en fitar corbes a mesures sobre dispositius
- **Level 4 (BSIM):**
 - Empíric- Simple i bastant emprat

Paràmetres simulació SPICE (principals)

Parameter Name	Symbol	SPICE Name	Units	Default Value
SPICE Model Index		LEVEL	-	1
Zero-Bias Threshold Voltage	VT0	VT0	V	0
Process Transconductance	k'	KP	A/V ²	2.E-5
Body-Bias Parameter	g	GAMMA	V ^{0.5}	0
Channel Modulation	1	LAMBDA	1/V	0
Oxide Thickness	tox	T OX	m	1.0E-7
Lateral Diffusion	xd	LD	m	0
Metallurgical Junction Depth	xj	X J	m	0
Surface Inversion Potential	2 φ _F	PHI	V	0.6
Substrate Doping	N _A ,N _D	NSUB	cm ⁻³	0
Surface State Density	Q _{ss} /q	NSS	cm ⁻³	0
Fast Surface State Density		NFS	cm ⁻³	0
Total Channel Charge Coefficient		NEFF	-	1
Type of Gate Material		TPG	-	1
Surface Mobility	μ ₀	U0	cm ² /V-sec	600
Maximum Drift Velocity	u _{max}	VMAX	m/s	0
Mobility Critical Field	x _{crit}	UCRIT	V/cm	1.0E4
Critical Field Exponent in Mobility Degradation		UEXP	-	0
Transverse Field Exponent (mobility)		UTRA	-	0

Paràmetres simulació SPICE (Paràsits)

Parameter Name	Symbol	SPICE Name	Units	Default Value
Source resistance	R_S	RS	Ω	0
Drain resistance	R_D	RD	Ω	0
Sheet resistance (Source/Drain)	R_o	RSH	Ω/□	0
Zero Bias Bulk Junction Cap	C_{j0}	CJ	F/m ²	0
Bulk Junction Grading Coeff.	m	MJ	-	0.5
Zero Bias Side Wall Junction Cap	C_{jsw0}	CJSW	F/m	0
Side Wall Grading Coeff.	m_{sw}	MJSW	-	0.3
Gate-Bulk Overlap Capacitance	C_{gbo}	CGBO	F/m	0
Gate-Source Overlap Capacitance	C_{gso}	CGSO	F/m	0
Gate-Drain Overlap Capacitance	C_{gdo}	CGDO	F/m	0
Bulk Junction Leakage Current	I_S	IS	A	0
Bulk Junction Leakage Current Density	J_S	JS	A/m ²	1E-8
Bulk Junction Potential	$φ_0$	PB	V	0.8

Paràmetres SPICE dels transistors

Mnom D G S B Modelname W= L= (AS= AD= PS= PD= NRS= NRD=)

Parameter Name	Symbol	SPICE Name	Units	Default Value
Drawn Length	L	L	m	-
Effective Width	W	W	m	-
Source Area	AREA	AS	m ²	0
Drain Area	AREA	AD	m ²	0
Source Perimeter	PERIM	PS	m	0
Drain Perimeter	PERIM	PD	m	0
Squares of Source Diffusion		NRS	-	1
Squares of Drain Diffusion		NRD	-	1

.MODEL Modelname NMOS (Params =)

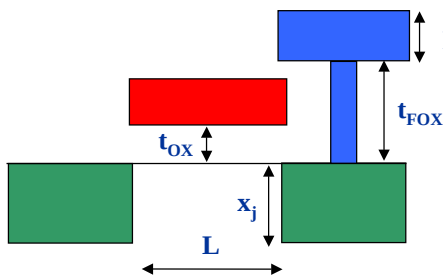
Evolució tecnològica

Year of Introduction	1994	1997	2000	2003	2006	2009
Channel length (μm)	0.4	0.3	0.25	0.18	0.13	0.1
Gate oxide (nm)	12	7	6	4.5	4	4
V_{DD} (V)	3.3	2.2	2.2	1.5	1.5	1.5
V_T (V)	0.7	0.7	0.7	0.6	0.6	0.6
NMOS I_{Dsat} (mA/μm) (@ $V_{GS} = V_{DD}$)	0.35	0.27	0.31	0.21	0.29	0.33
PMOS I_{Dsat} (mA/μm) (@ $V_{GS} = V_{DD}$)	0.16	0.11	0.14	0.09	0.13	0.16

Tema 4 : Característiques del dispositius i els elements dels CI

Efectes de 2n ordre. Elements Passius

Param i Caract. Dispos. Interconex. CMOS



- Longitud Interconnexions:
 - Interconnexions globals vs. locals
- Paràmetres secundaris
 - Es deriven dels primaris
 - E_{long} , E_{vert} , C_g , N_I (transistors/area)

- Paràmetres primaris
 - L (Longitud de canal)
 - W (Ampla de canal)
 - x_j (Profunditat de la unió)
 - t_{ox} (Gruix òxid de porta)
 - t_{fox} (Gruix òxid de camp)
 - H (Gruix de les interconnexions)
 - N_A (Dopat del substrate)
 - V_{DD} (Tensió alimentació)
 - V_{TN} , V_{TP} (Tensions de Threshold)
 - $A=D^2$ (Àrea del circuit)
 - N_{TRT} (Nombre de transistors)
 - N_{IO} (Nombre d'entrades-sortides)

Característiques Elèctriques dels Circuits

- Característiques o prestacions d'un circuit
 - velocitat, consum, dissipació de calor, nombre d'entrades, etc
 - necessitat càlcul característiques dispositius i interconnexions



- Paràmetres secundaris
 - Camp Elèctric longitudinal ($E_L - V_{DD}/L$)
 - Camp Elèctric vertical ($E_V - V_{DD}/t_{OX}$)
 - Capacitat porta per unitat d'àrea ($C_{OX} - \epsilon_{SiO_2}/t_{OX}$)
 - Capacitat de porta ($C_g - C_{OX}WL$)
 - Guany en gran senyal ($\beta - C_{OX}W/L$)
 - I saturació màxima ($I_{SAT} - \beta (V_{DD})^2$)
 - Retard de porta ($\tau_g - C_L V_{DD}/I_{SAT}$)
 - Consum dinàmic ($P_D - C_L V_{DD}^2 / \tau_g$)

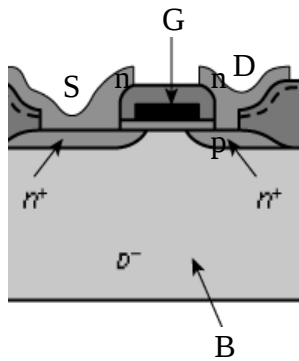
Característiques Elèctriques dels Circuits

- Paràmetres Globals
 - Nivell d'integració ($N_I - N_{TRT}/D^2$)
 - Consum Total ($P_{DT} - \text{Act } N_{TRT} P_D$)
 - Densitat de Potència ($D_P - P_{DT}/D^2$)
 - Longitud mitja interconnexions locals ($L_{LOC} - Cte_A W$)
 - Longitud mitja interconnexions globals ($L_{GLOB} - Cte_G D$)
 - Capacitat interconnexions ($C_{FOX} - \epsilon_{SiO_2}/t_{FOX}$)
 - Retard RC interconnexions locals ($\tau_{LOC} - C_{FOX} \rho L_{LOC}^2/H$)
 - Retard RC interconnexions globals ($\tau_{GLOB} - C_{FOX} \rho L_{GLOB}^2/H$)
- A partir de paràmetres primaris
 - Roadmaps i implicacions de l'escalat dimensional al comportament dels circuits

Continguts

- Efectes de segon ordre a nivell de transistors
 - Efecte Body
 - Latchup
 - Desaparellament entre transistors
 - Efectes de canal curt i portadors calents
- Interconnexions, Components passius i d'interfície
 - Interconnexions : definicions, tipus, jerarquització, efectes paràsits, models, paràmetres paràsits
 - Components Passius:
 - Bobines
 - Condensadors

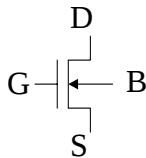
El MOS : Repas



$$V_{GS} > V_T \Rightarrow \begin{cases} V_{DS} > V_{GS} - V_T & I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \\ V_{DS} < V_{GS} - V_T & I_{DS} = \beta \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right) \end{cases}$$

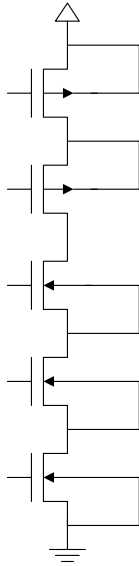
$$V_{GS} < V_T \Rightarrow I_{DS} = 0$$

$$\beta = \mu_n \frac{\epsilon_{ox}}{t_{ox}} \frac{W}{L} = \mu_n C_{ox} \frac{W}{L} = K_n \frac{W}{L}$$



W,L: Paràmetres de disseny
 K_n, λ, V_T : Paràmetres Tecnològics
 V_{xx}, I_{DS} : Variables de funcionament

Efecte Body



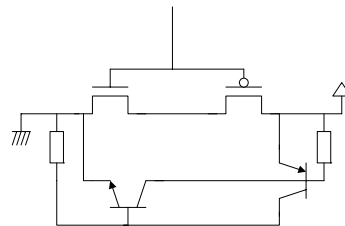
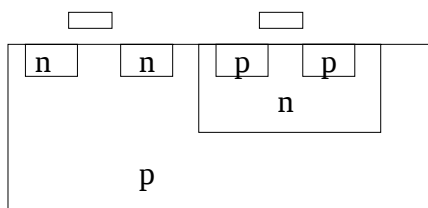
$$V_T = V_{TO} + \gamma \left(\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right)$$

$$2|\phi_F| = \frac{KT}{q} \ln \left(\frac{N_a}{N_i} \right)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{Si}N_a}}{C_{ox}}$$

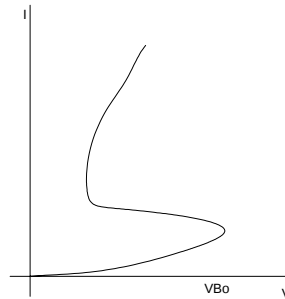
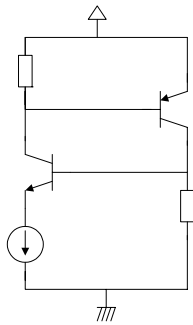
- La tensió V_T depèn de la tensió V_{BS} .
- Curtcircuitar sortidor i substracte de tots els transistors.
- Important a circuits analògics
- Depèn de la tecnologia emprada: no sempre possible

Latchup



- L'esquema de semiconductor de l'inversor CMOS porta associat una sèrie de transistors paràsits
- Latchup = posada en conducció dels transistores paràsits
- Si el fenomen es dona : desconexió immediata del circui

Latchup



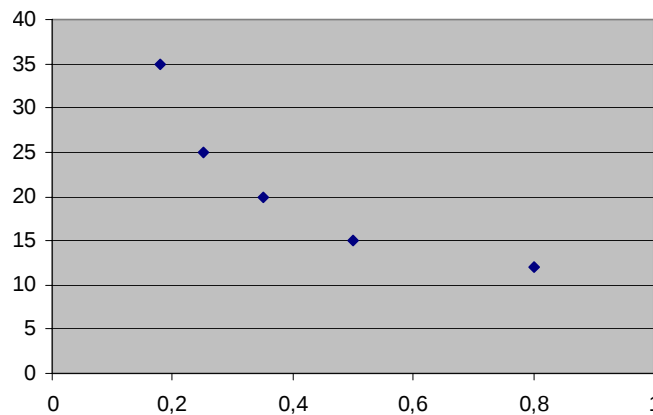
- Font de corrent : pic de corrent important que provoca que el NPN es posi en conducció
- V_b PNP pot baixar de $V_{DD} - V_{EB}$ (pnp), i pnp es posa a conduir
- Ara V_{be} del NPN pot posar-se en ON i el NPN també en conducció.
- Conclusió : efecte de realimentació negativa

Latchup

- Conseqüències del latchup :
 - Important en zones d'injecció de corrent importants
 - Escalfament, Electromigració
 - Destrucció del dispositiu (circuit)
- Diseny per evitar latchup
 - Mesures tecnològiques
 - Aconseguir bipolars paràsits amb betes petites
 - Valors de dopat adequats al substrate, pou, i en illes p i n
 - Mesures de diseny
 - Adequada polarització del substrate i pou
 - disminució efectiva de les resistències paràsites
 - Anells de guarda
 - tipus p+ , a VDD al voltant de NMOS
 - tipus n+., a GND al voltant de PMOS

Desaparellament entre transistors

- Variació de V_T (%) en funció de l'escalat tecnològic (μm)
 - Es veu com el desaparellament és més important en tecnologies avançades



Efectes canal curt

- Reducció de canal sense disminuir V_{DD}
 - Zones de depleció penetren al canal (longitud efectiva disminueix)
 - V_T deixa de ser constant i depèn de:
 - V_D (DIBL effect)
 - V_B (Body effect)
 - V_T és menor per dispositius canal curt i disminueix quan V_D augmenta
 - E_v augmenta (influeix a la mobilitat, major camp, menor mobilitat)
 - E_L augmenta (augmenta velocitat portadors, que com a màxim pot arribar Velocitat saturació (10^7 cm/s (n) $6.5 \cdot 10^6$ cm/s (p)). $E_{L\text{max}} = 1.5 \cdot 10^4$ V/cm)

$$V = \begin{cases} \frac{\mu_{eff} E_L}{1 + \frac{E_L}{E_{L\text{max}}}} & \text{si } E_L < E_{L\text{max}} \\ V_{sat} & \text{si } E_L \geq E_{L\text{max}} \end{cases}$$

Efectes canal curt

- Aquest comportament pot influir al corrent de saturació
 - Un transistor pot entrar en saturació degut a que arribam a V_{sat} per un V_{DS} menor que el V_{DS} de saturació. Així :

$$I_D = \begin{cases} \mu_{eff} \frac{C_{OX} W}{L} \frac{(V_{GS} - V_T) V_{DS} - V_{DS}^2 / 2}{1 + \frac{\mu_{eff}}{LV} V_{DS}} & \text{si } 0 < V_{DS} < V_{DS \max} \\ I_{DSat} = \frac{1}{2} \mu_{eff} \frac{C_{OX} W}{L} V_{DS \max}^2 & \text{si } V_{DS} > V_{DS \max} \end{cases}$$

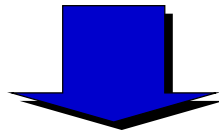
- A partir de la definició de E_{llimit}

$$V_{DS \max} = \frac{LV_{sat}}{\mu_{eff}} \left[\sqrt{1 + \frac{2\mu_{eff}}{LV_{sat}} (V_{GS} - V_T)} - 1 \right]$$

- A dispositius molt control.lats per la velocitat de saturació ($\mu_{eff}/LV_{sat} \gg 1$), i I_{DS} va com $WC_{ox} V_{sat}(V_{GS} - V_T)$, o sigui lineal (i no quadrat) amb les tensions.

Efectes portadors calents

- Quan els electrons arriben al drenador, tenen $E_{cinètica}$ alta, impacten amb àtoms de la xarxa



- Es poden crear parells forat-electró
 - Van a l'òxid
 - Defectes
 - Variacions de V_T
 - Perforacions de l'òxid
 - Van al substrate
 - Corrent de pèrdues adicional

Interconnexions

- A un circuit VLSI tenim:
 - Dispositius + Interconnexions + Components passius + Pads d'entrada i sortida
- Interconnexions : molt importants a sistemes d'altres prestacions, tan digitals com analògics
- Jerarquia de les interconnexions I
 - Per funcionalitat
 - Interconnexions d'alimentació
 - Amb VDD i GND. Proporcionen el corrent de consum. Impedàncies el més baix possible (V igual a la de la font a tots els punts del circuit)
 - Interconnexions de senyal
 - Transmeten informació elèctrica a processar
 - Globals
 - Locals
 - Introdueixen retard a les línies. També distorsió.

Interconnexions

- Jerarquia de les interconnexions II
 - Per criteris físics o tecnològics
 - Entre components d'un xip
 - Entre xips dins un MCM
 - Entre xip i exterior d'un encapsulat
 - Entre encapsulats dins un PCB
 - Entre PCBs a una placa mare
 - Entre plaques mare d'un sistema
 - Cada nivell conté un o més elements de nivells anteriors
 - Cada nivell té interconnexions d'alimentació i de senyal, globals i locals
 - Cada nivell té interconnexions de tecnologia diferent, estructura física particular, model específic a cada nivell, prestacions i problemàtica diferent.

Interconnexions

- Efectes paràsits de les interconnexions
 - Retard
 - Retard=Retard de dispositiu+Retard d'interconnexió
 - A interconnexions globals + important interconnexió que dispositiu
 - Distorsió de senyal degut a reflexions
 - Impedància de línia i de les terminacions diferents
 - $T_{rise} \text{ o } T_{fall} < T_{propagació}$
 - Rebots de senyal que causen distorsions
 - Acoblaments
 - Crosstalk (glitchos, retards, etc, ...)
 - IR drop (caiguda IR a alimentació)
 - Renou de commutació (Switching noise)

Interconnexions

- Modelat de les interconnexions
 - La modelació de les interconnexions ha de permetre reproduir els efectes paràsits comentats a la transparència anterior, i s'han de basar en l'estructura física.
- Models
 - Model capacitiu
 - Interconnexions = condensadors
 - Realitat física adequada: interconnexió=pista aïllada del substrate mitjançant un dielèctric
 - Drivers modelats com a resistències
 - Dinàmica equivalent a càrrega i descàrrega de condensadors
 - Es pot modelar també crosstalk
 - Model molt útil, no molt lluny de realitat i molt útil en primera aproximació

Interconnexions

- Models

- Model RC

- Considera l'efecte resistiu de la interconnexió
 - Model única etapa
 - Model 2 etapes
 - Model n etapes
 - Si n tendeix a infinit, va cap a un model distribuït (la R i C es troba distribuïda al llarg de tota la línia)

- Model distribuït

- Model de línia de transmissió. L, R, C i G (pèrdues en el dielèctric) distribuïdes
 - Canvi a l'entrada de la línia implica canvi al final de la línia sempre després de que la perturbació hagi arribat
 - Interconnexió: guia d'ones electromagnètiques que es propageuen en el medi (dielèctric entre línies). Simulació elèctrica amb Simuladors (Hspice, Spice, ...)
 - Cas 1: línia sense pèrdues LC
 - Cas 2: línia amb pèrdues RC ($t_p = 0.5rc l^2$)

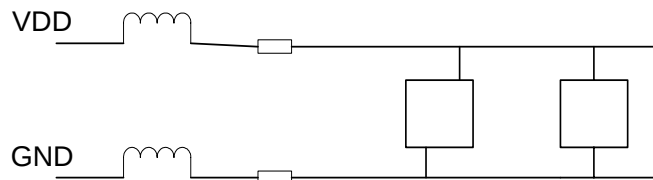
$$rc \frac{\partial V}{\partial t} = \frac{\partial^2 V}{\partial x^2}$$

Interconnexions

- Models

- Línies d'alimentació

- Model RL
 - Efectes depenen principalment de R i L de la línia.
 - Condensadors de desacoblament per eliminar problemes



Interconnexions: Resistència

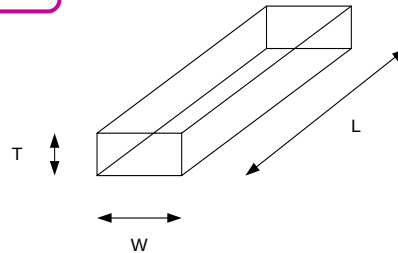
- Resistències Paràsites

$$R = \rho \frac{L}{WT}$$

- Es defineix resistència per quadre (Ω/quadre)

$$R_s = \frac{\rho}{T}$$

$$R = R_s \frac{L}{W}$$



Polisilici :

resistiu, emprat a portes de transistors i a interconnexions molt molt curtes.
 R_s al voltant de $25 \Omega/\text{quadre}$

Metall :

Alumini el més emprat
 Tungsté, més resistiu, emprat a interconnexions curtes per motius de planarització
 Coure, el menys resistiu, dificultat tecnològica
 R_s entre $10\text{-}20 \text{ m}\Omega/\text{quadre}$

Interconnexions: Resistència

- Correccions, efectes de segon ordre

- Considerar resistivitat del substrate (models complicats)
- Considerar efecte dels contactes
 - Una interconnexió pot estar constituïda per polisilici, metal1, metal2 i metal3 per exemple
 - Contribució dels contactes
 - Millor emprar + contactes : Resistències en paral.lel. (disminució de l'efecte resistiu del contacte)
- Efecte skin (efecte de pell)
 - A alta freqüència el corrent es concentra a la perifèria del conductor (això implica un augment de resistència)
 - $R = R_{DC} + R_s \omega^{1/2}$

Interconnexions: Capacitats

- Capacitats paràsites

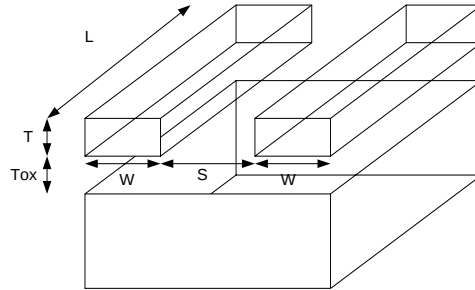
- Capacitat de línia

$$C_1 = C_I WL \quad \text{on} \quad C_I = \frac{\epsilon_{ox}}{T_{ox}}$$

- Capacitat d'acoblament (crosstalk)

$$C_{12} = C_C TL \quad \text{on} \quad C_C = \frac{\epsilon_{ox}}{S}$$

- Recordar capacitats paràsites dels transistors



Notes:

Això vàlid només en primera aproximació
Fórmules empíriques (Sakurai, Delorme, ...)

(efectes de fringe capacitance)

Càlcul numèric precís.

Eines de simulació electromagnètica

Interconnexions: Inductància

- Depèn de la forma del circuit (camí pel qual circula el corrent quan es produeix la commutació)
- Quan circula I per un determinat circuit es genera un camp magnètic
 - L és la relació entre fluxe magnètic creat a través de l'àrea i el valor de corrent
 - Un traçat que tanca molta àrea implicarà una L alta
- Inductàncies poc importants en interconnexions petites
- Important a: :
 - buffers (PADS o interns)
 - consum important
 - alta freqüència
- Efectes : renous i oscil.lacions a línies d'alimentació sobretot



$$dV = L \frac{dI}{dt}$$

Interconnexions: Inductància

– Valors de L

- Aproximaciones clásicas (conductores cilíndricos)

$$L = \frac{\mu}{2\pi} \ln \frac{4h}{d}$$

- A un paral.lepíped, si $W < H$ (pistes altes o estretes)

$$L = \frac{\mu}{2\pi} \ln \left(\frac{8H}{W} + \frac{W}{4H} \right)$$

- Càlculs mediante FEM
 - topologies reals . Càlcul de la matriu de inductàncies
- Important a l'encapsulat (bonding wires, pins del package, ...)

Components Passius

- Inclusió de :
 - Resistències de valor conegut
 - Condensadors de capacitat coneguda
 - Bobines d'inductància coneguda
- Imprescindible a circuits analògics
- Limitacions
 - Toleràncies en el procés de fabricació
 - Variacions en el valor del component per efectes ambientals (Temperatura sobre tot)
 - Components paràsits associats a l'estructura física
- Incorporats a nivell de placa o a nivell de xip ??

Components passius

- Resistències

- Polisilici

- Polisilici sol estar bastant dopat, així encara que R + alta que metall sol no ser suficient
 - Tecnologies analògiques (doble polisilici (un no dopat)): valors de R_s molt majors

- Capa d'implantació (igual que sortidors o drenadors)

- Capes més primes que el polisilici, per tant R_s superior
 - Problemes
 - Resistència no lineal, depèn de la polarització
 - Vigilar que unió PN amb substracte no es pugui posar ON
 - Capacitat a substracte elevada, tècnica inadequada per alta freqüència

Components passius

- Resistències

- Pou

- Resistivitat molt alta (la major sens dubte)
 - Problema : Tolerància del seu valor

- Transistors amb VGS adequada

- Resistències actives.
 - Problema: tolerància alta i dependència amb tensió aplicada

- Capes específiques

- NiCr, SiCr, ...
 - Resistors d'alta qualitat
 - Problema: Tecnologies específiques (normalment analògiques) Alt preu comparat amb processos estàndar

Components passius

- Condensadors

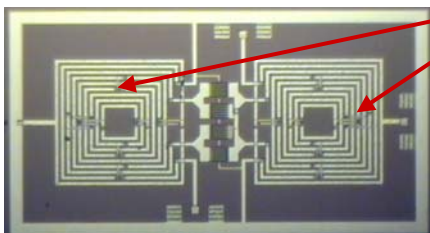
- Dues capes sobreposades
 - Valors baixos, ja que es posen capes aïllants (òxids) importants amb la finalitat de minimitzar acoblaments
- Tecnologies analògiques amb doble polisilici
 - Capacitats molt majors
- “Sandwich” 3 capes : 2 condensadors amb paral.lel
- Línies del mateix nivell molt properes (distància mínima)
- MOS amb D i S curtcircuitats
 - Capacitat gran : de l'ordre de la de porta (òxid prim)
 - VGS ha de ser major que VT per tenir canal i per tant C gran

- Bobines

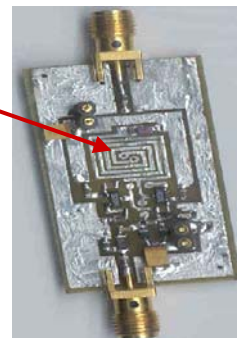
- Importants a RF i difícil d'integrar. Geometria tipus Espiral
- Problemes
 - Gran àrea (màxim assolible 10nH aprox)
 - Resistència de l'interconnexió
 - Capacitat a massa paràsita important (limitació en les freq de treball)

$$L = \mu_o n^2 r$$

Exemples



Inductors



Resistències

Capacitat

