

5. PLL Y SINTETIZADORES

(Jun.94)

1. a) Dibuje el esquema de un sintetizador de frecuencia de tres lazos PLL.
- b) Utilizando una señal de referencia de 100 kHz, elegir los divisores programables N_A y N_B para obtener una frecuencia de salida en el rango de 30 a 40 Mhz, con una resolución de 1 kHz.
- c) Explicar brevemente el funcionamiento.

Sol. (b) N_A : 100 – 199 N_B : 299 - 398

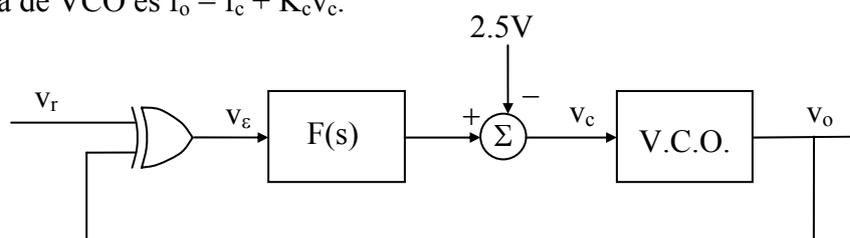
(Jun.95)

2. a) Diseñar un sintetizador de frecuencia con PLL múltiple para cubrir el rango de frecuencias de salida entre 35.4 a 40MHz en incrementos de 100Hz. La frecuencia de referencia será de 100 kHz. Elegir los divisores programables para que ningún lazo opere con frecuencia de referencia inferior a 100 kHz.
- b) Explicar brevemente el funcionamiento.

Sol. (a) N_A : 1000 - 1999 N_B : 353 – 398

(Sep.95)

3. En el PLL de la figura v_r , v_ε y v_o son señales cuadradas, con amplitudes de 0 a 5V. El filtro $F(s)$ proporciona a la salida el valor medio de la señal de entrada. La función de transferencia de VCO es $f_o = f_c + K_c v_c$.

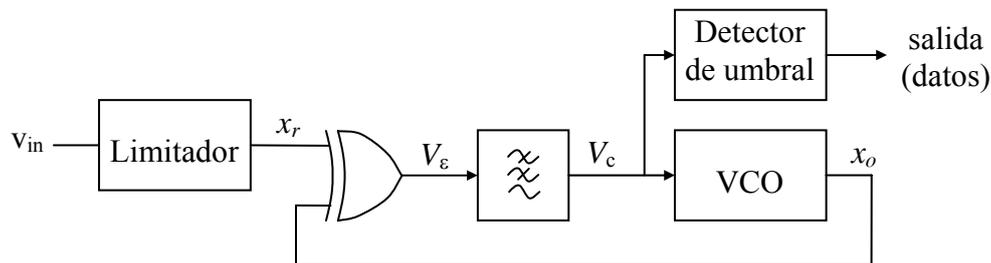


Representar las señales v_r , v_o , v_ε y v_c en función del tiempo cuando $f_r = f_c$.

- a) En reposo.
- b) Cuando inicialmente ($t = 0$), v_o está atrasada 45° respecto al caso anterior
- c) Cuando inicialmente ($t = 0$), v_o está adelantada 45° respecto al caso (a)
- d) Cuando inicialmente ($t = 0$), v_o está atrasada 135° respecto al caso (a)

(Sep.05)

4. El circuito de la figura es un demodulador FSK binario que utiliza un PLL. La señal de entrada es senoidal con dos posibles frecuencias, 1.1MHz y 1.3MHz, que corresponden a los niveles lógicos “0” y “1”, respectivamente. El limitador a la entrada convierte las señales sinusoidales en señales cuadradas de la misma frecuencia. Las tensiones asociadas a los niveles lógicos “0” y “1” en la puerta XOR, son 0 V y +5V, respectivamente. El filtro paso bajo obtiene a la salida el valor medio de la señal de entrada. La relación entre la frecuencia de salida y la tensión de control del VCO es $f_o = 1 + 0.08 \cdot V_c$ MHz. El detector de umbral es un comparador que determina el nivel lógico de la tensión de entrada comparándola con una referencia de 2,5 V.



- Representar la relación entre V_c y la diferencia de fase entre x_r y x_o , ($\Delta\phi$).
- Indicar la diferencia de fase entre x_o y x_r cuando el PLL se halla en régimen estacionario, con la salida enganchada a la entrada, en dos casos: cuando la frecuencia de entrada sea 1.1 MHz y cuando sea 1.3MHz.
- Representar las señales x_r , x_o , V_e y V_c en los dos casos anteriores.
- ¿Cual es la máxima velocidad de transmisión de datos que permite el tiempo de enganche del PLL?
- ¿Cual es la máxima separación entre las frecuencias asociadas a los niveles lógicos “0” y “1” que podemos emplear con este PLL?

Sol. (b) $\pi/4$ y $3\pi/4$ (d) 110 kbits/s (e) 0,4 MHz

(Jun.94)

5. Se utiliza un PLL de 1^{er} orden (sin filtro) para sintetizar una señal de 2 MHz a partir de una onda de referencia de 50 kHz. El oscilador variable utilizado posee una ganancia de 100 Hz/V y el detector de fase posee una ganancia de 2 V/rad.
- Dibujar el diagrama de bloques del modelo lineal del PLL.
 - Calcular el ancho de banda del sistema en lazo cerrado. Explicar su significado físico.
 - Si incorporamos un filtro pasabajos a la salida del detector de fase, calcular su frecuencia de corte para obtener un sistema de segundo orden con amortiguamiento $\zeta = 0.7$

Sol. (b) $B = 5$ Hz (c) $f_c = 10$ Hz

(Jun.96)

6. Se utiliza un PLL para regenerar una portadora de 1 MHz. El VCO posee una ganancia de 1 kHz/V y el detector de fase posee una ganancia de $10/\pi$ V/rad.

- Dibujar el diagrama de bloques del modelo lineal y calcular la función de transferencia $\Delta\omega_o/\Delta\omega_r$ (sin filtro).
- Si la fase de la entrada sufre un incremento en escalón de 45° hallar la evolución temporal de la fase de salida.
- Insertamos un filtro pasabajos en el lazo del PLL cuya función de transferencia es

$$F(s) = \frac{1}{1 + s/5 \cdot 10^3}$$

Calcular la nueva función de transferencia $\Delta\omega_o/\Delta\omega_r$ y repetir el apartado (b)

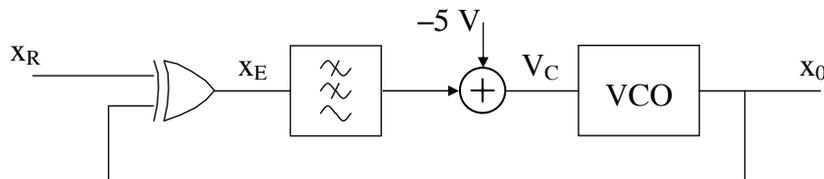
Sol. (a) $\frac{\Delta\omega_o}{\Delta\omega_r} = \frac{1}{1 + j\frac{\omega}{2 \cdot 10^4}}$ (c) $\frac{\Delta\omega_o}{\Delta\omega_r} = \frac{1}{1 + j\frac{\omega}{2 \cdot 10^4} - (\frac{\omega}{10^4})^2}$

(Sep.06)

7. En el PLL de la figura, el VCO está caracterizado por la relación:

$$f_0 = 100 + 0.1 \cdot V_C \text{ kHz}$$

donde V_C es la tensión de control que **puede variar entre -5 y 5 V**.



Las señales x_0 , x_E y x_R son cuadradas, de valores 0 y 5 V en los niveles alto y bajo, respectivamente. Es filtro paso bajo es activo y su función de transferencia es:

$$H(\omega) = \frac{2}{1 + j\frac{\omega}{5 \cdot 10^3}}$$

- Dibujar la función de transferencia del detector de fase y hallar su constante, K_d , en la zona útil.
- ¿Qué frecuencia debe tener x_R para que, en régimen estacionario, el sistema esté encajado con $\Delta\phi = \pi/2$. Dibujar las señales x_0 , x_E y x_R
- Indicar las frecuencias mínima y máxima de x_R para que el PLL se mantenga encajado. ¿Qué error de fase corresponde a cada una de ellas?. Dibujar las señales x_0 , x_E y x_R en cada caso

d) Calcular la función de transferencia del PLL: ϕ_o/ϕ_r . Indicar la frecuencia de resonancia y el factor de amortiguamiento. **Nota:** el desplazamiento de nivel en -5 V no influye en la función de transferencia.

Sol. (b) $f_r = 0.1$ MHz (c) 99.5 kHz $< f_o < 100.5$ kHz (d)
$$\frac{\phi_o}{\phi_r} = \frac{1}{1 + j\frac{\omega}{2 \cdot 10^3} - \frac{\omega^2}{10^7}}$$

(Jun.97)

8. Se quiere diseñar un sintetizador de frecuencia en el rango de 180.0 a 220.0 MHz, en incrementos de 0.1 MHz. Se va a utilizar un PLL y un divisor de preescala de módulo dual 32/33 (cuyo nombre comercial es MC12015).

- a) Dibújese el diagrama de bloques correspondiente
- b) Indíquese: - La frecuencia del oscilador de referencia
- El rango de los contadores necesarios
- c) ¿Qué valor debe almacenar cada contador para sintetizar la frecuencia 200.0 MHz?

Sol. (b) $f_r = 0.1$ MHz , $A = 1 - 32$, $N = 56 - 68$ (c) $A = 16$, $N = 62$

(Sep.02)

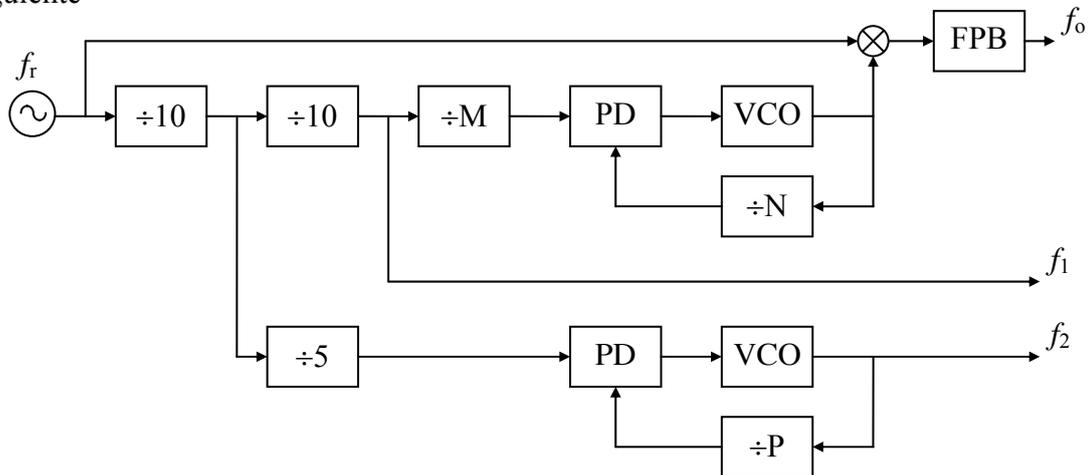
9. Queremos sintonizar frecuencias desde 20 hasta 30 MHz, en incrementos de 1 KHz.

- a) Diseñe un sintetizador de frecuencia directo, por offset de frecuencia (sin PLL) que me permita dicha sincronización
- b) Deducir el numero de osciladores necesarios y la frecuencia de los mismos

Sol. (b) $f_i = 2$ MHz , $f_1 = 8$ MHz , $f_2 = 10$ MHz

(Sep.98)

10. Un receptor de señales moduladas BLU necesita dos osciladores locales fijos a las frecuencias $f_1 = 100$ KHz (para detección síncrona) y $f_2 = 1.6$ MHz (para el segundo mezclador), y un oscilador variable para sintonizar la banda de RF en saltos de 0.01 MHz. Dichos osciladores se diseñan mediante el esquema conjunto que se muestra en la figura siguiente



La frecuencia de corte del filtro paso-bajo (FPB) situado a continuación del mezclador es $f_c = 10$ MHz. Se pide:

- La frecuencia del oscilador a cristal, f_r , y el valor de P.
- El valor de M y el rango de frecuencias de salida, f_o , teniendo en cuenta que N puede tomar valores entre 1 y 10.
- El tiempo de conmutación entre canales (valor empírico)
- El margen de variación de f_r para garantizar que f_2 tiene una estabilidad $\frac{\Delta f_2}{f_2} \leq 2$ p.p.m.

Sol. (a) $f_r = 10$ MHz, $P = 8$ (b) $M = 10$, $9.90 \leq f_o \leq 9.99$ MHz (c) $t_c = 2.5$ ms (d) $\Delta f_r = 20$ Hz

(Feb.04)

11. Se desea diseñar un receptor para cubrir la banda de FM, de 88 MHz a 108 MHz, en incrementos de 100 kHz. Para ello se ha pensado en un esquema de doble conversión en el que se varía la frecuencia del oscilador local asociado al primer mezclador mediante un PLL y un divisor programable según el esquema de la figura siguiente.

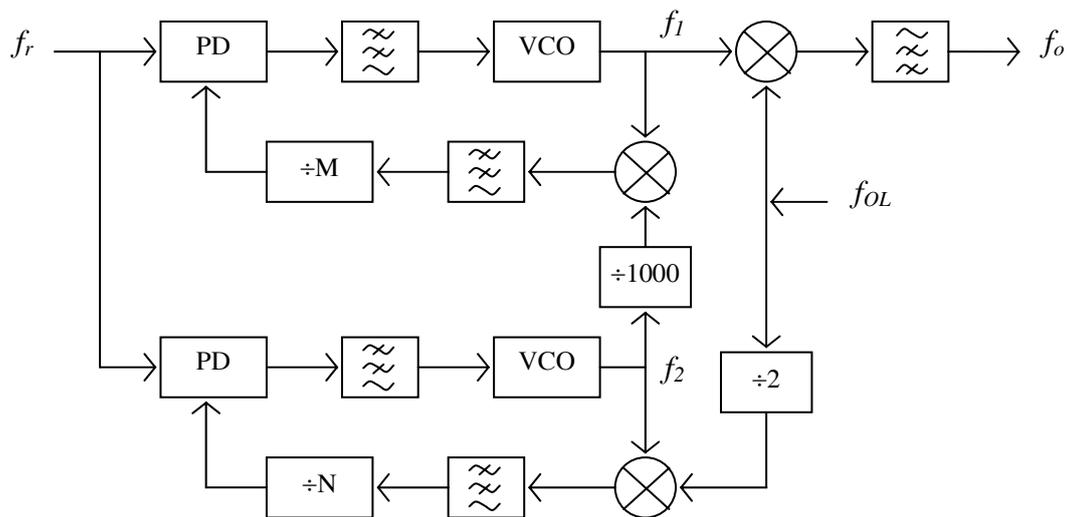
A la salida de los mezcladores únicamente se considera la diferencia de frecuencias.

- Elegir f_r de modo que el oscilador local del Mezclador 1 sintonice la banda de FM en saltos de 100 kHz.
- Determinar el margen de variación de de N
- Determinar f_o y M
- Calcular el tiempo de conmutación entre canales.

(Sep.99)

13. El sintetizador de frecuencia híbrido representado en la figura, debe cubrir el rango de 198 a 200 MHz en incrementos de 10 Hz.

- Hallar la expresión de f_o en función de f_r , f_{OL} , M y N
- Que valor debe tener la frecuencia f_r .
- Elegir unos valores mínimos de M y N y determinar el valor de f_{OL} para los mismos.
- Determinar el margen de variación de M y N para cubrir el rango de frecuencias pedido.



Sol. (b) $f_r = 10 \text{ kHz}$ (c) $N_{\min} = 1000$, $M_{\min} = 100 \rightarrow f_{OL} = 196,891554 \text{ MHz}$
 (d) $N_{\max} = 1999$, $M_{\max} = 309$

(Jun.96)

- 14.** a) Dibujar el esquema de un sintetizador de frecuencia digital directo (DDFS).
- Especificar la frecuencia de reloj, el tamaño del acumulador, el tamaño de la memoria y las características del filtro paso bajo necesarios, para cubrir el rango de frecuencias de 0 a 5 kHz en incrementos de 0.01Hz con pureza espectral mejor que 50 dB.

Sol. (b) Memoria: 512 palabras de 10 bits, acumulador: 21 bits, frecuencia reloj: 20 kHz