

Sistemas Electronicos Digitales
2º Curso Ingeniería Técnica Industrial

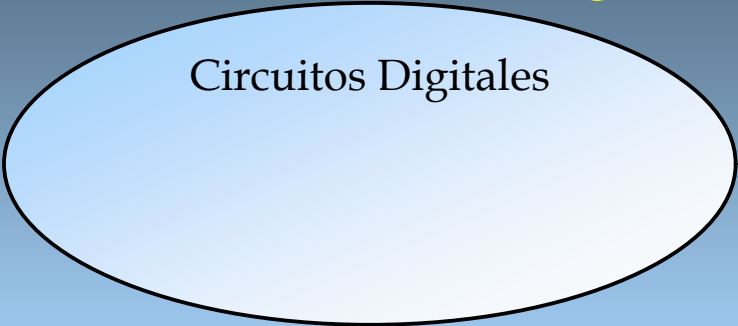
Logica Modular Secuencial

José Luis Rosselló Sanz
Grupo de Tecnología Electrónica
Universitat de les Illes Balears

Índice

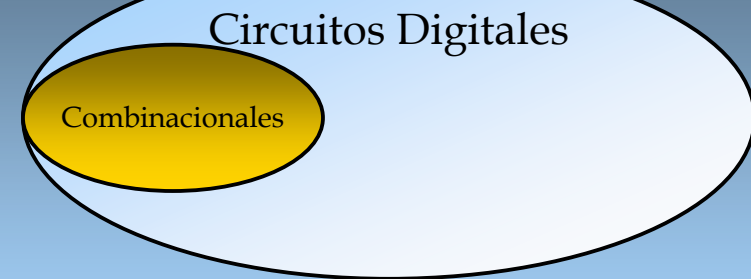
- Introducción
- Registros
- Contadores
 - Contadores asíncronos
 - Contadores síncronos
- Contadores MSI

Clasificación Circuitos Digitales

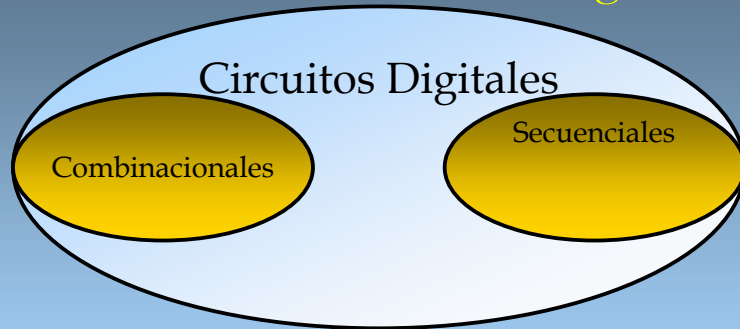


Circuitos Digitales

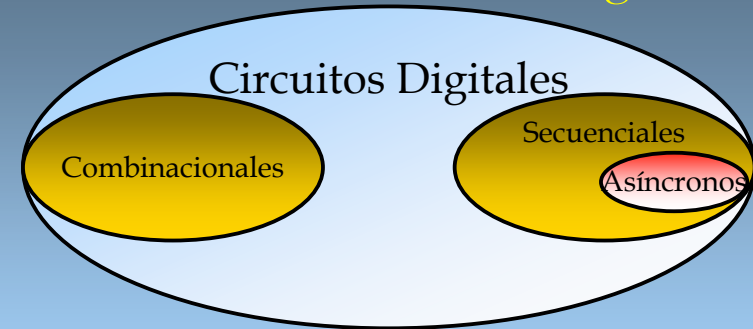
Clasificación Circuitos Digitales



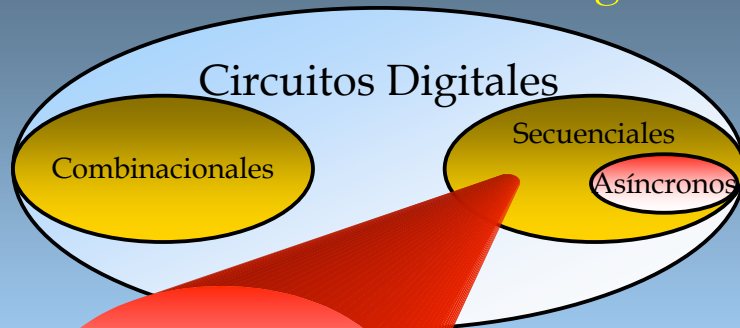
Clasificación Circuitos Digitales



Clasificación Circuitos Digitales



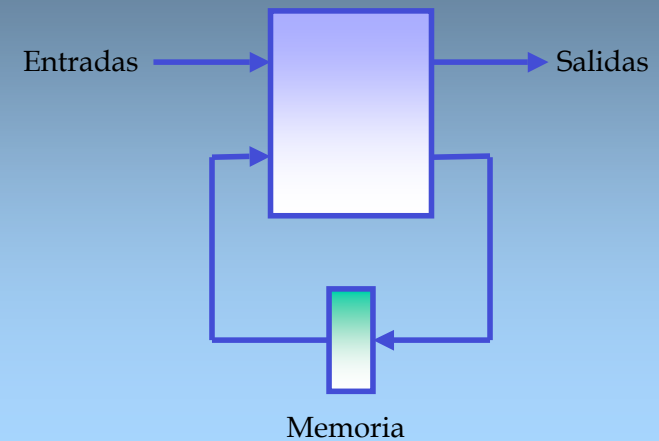
Clasificación Circuitos Digitales



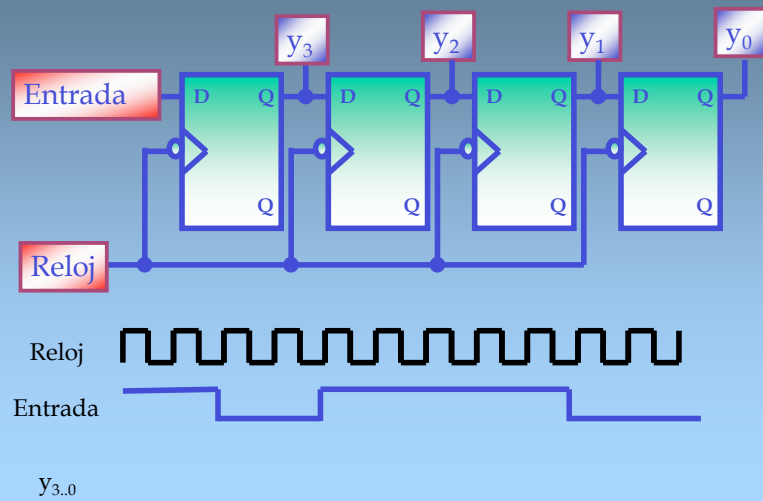
Síncronos

Gobernados por
un reloj de sincronización

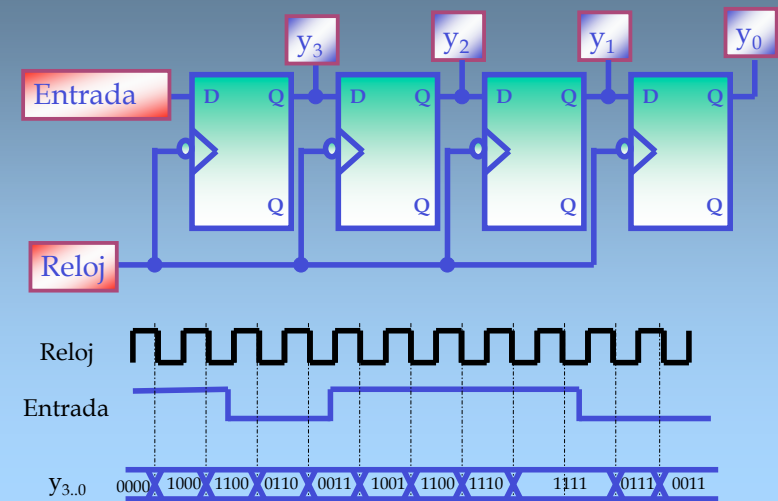
Sistema secuencial



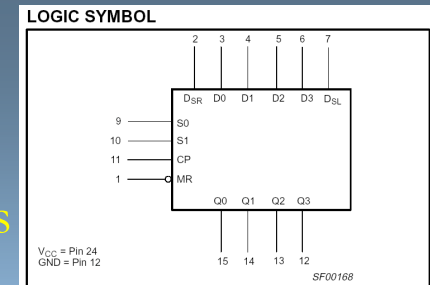
Registros de desplazamiento



Registros de desplazamiento



74194 “Shift Register” Bidireccional Universal de 4 bits



FUNCTION TABLE

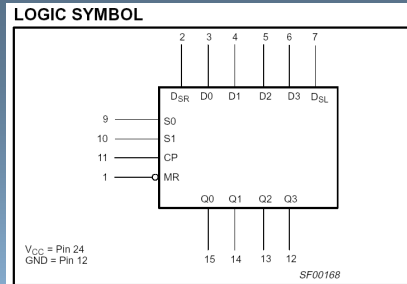
INPUTS							OUTPUTS			
CP	MR	S1	S0	D_{SR}	D_{SL}	D_n	Q0	Q1	Q2	Q3
X	L	X	X	X	X	X	L	L	L	L
X	H	l	l	X	X	X	q_0	q_1	q_2	q_3
↑	H	h	l	X	l	X	q_1	q_2	q_3	L
↑	H	h	l	X	h	X	q_1	q_2	q_3	H
↑	H	l	h	l	X	X	L	q_0	q_1	q_2
↑	H	l	h	h	X	X	H	q_0	q_1	q_2
↑	H	h	h	X	X	d_n	d_0	d_1	d_2	d_3

74194

“Shift Register”

Bidireccional

Universal de 4 bits



FUNCTION TABLE

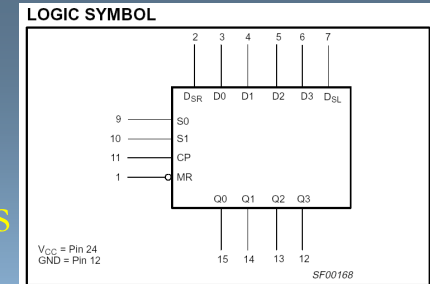
INPUTS							OUTPUTS			
CP	MR	S1	S0	D _{SR}	D _{SL}	D _n	Q0	Q1	Q2	Q3
X	L	X	X	X	X	X	L	L	L	L
X	H	L	L	X	X	X	q0	q1	q2	q3
↑	H	h	L	X	L	X	q1	q2	q3	L
↑	H	h	L	X	h	X	q1	q2	q3	H
↑	H	L	h	L	X	X	L	q0	q1	q2
↑	H	L	h	h	X	X	H	q0	q1	q2
↑	H	h	h	X	X	dn	d0	d1	d2	d3

74194

“Shift Register”

Bidireccional

Universal de 4 bits



FUNCTION TABLE

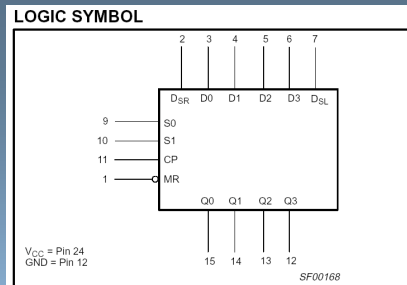
INPUTS							OUTPUTS			
CP	MR	S1	S0	D _{SR}	D _{SL}	D _n	Q0	Q1	Q2	Q3
X	L	X	X	X	X	X	L	L	L	L
X	H	L	L	X	X	X	q0	q1	q2	q3
↑	H	h	L	X	L	X	q1	q2	q3	L
↑	H	h	L	X	h	X	q1	q2	q3	H
↑	H	L	h	L	X	X	L	q0	q1	q2
↑	H	L	h	h	X	X	H	q0	q1	q2
↑	H	h	h	X	X	dn	d0	d1	d2	d3

74194

“Shift Register”

Bidireccional

Universal de 4 bits



FUNCTION TABLE

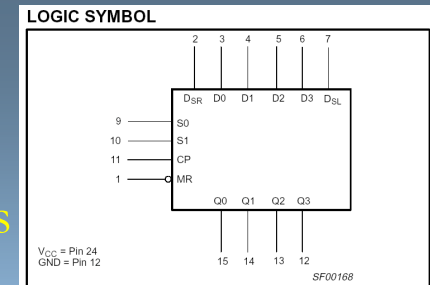
INPUTS							OUTPUTS			
CP	MR	S1	S0	D _{SR}	D _{SL}	D _n	Q0	Q1	Q2	Q3
X	L	X	X	X	X	X	L	L	L	L
X	H	L	L	X	X	X	q0	q1	q2	q3
↑	H	h	L	X	L	X	q1	q2	q3	L
↑	H	h	L	X	h	X	q1	q2	q3	H
↑	H	L	h	L	X	X	L	q0	q1	q2
↑	H	L	h	h	X	X	H	q0	q1	q2
↑	H	h	h	X	X	dn	d0	d1	d2	d3

74194

“Shift Register”

Bidireccional

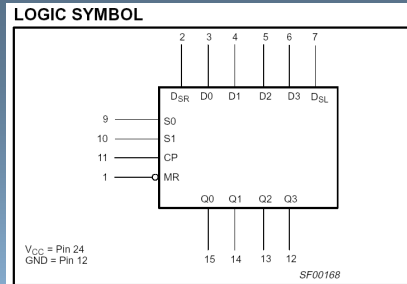
Universal de 4 bits



FUNCTION TABLE

INPUTS							OUTPUTS			
CP	MR	S1	S0	D _{SR}	D _{SL}	D _n	Q0	Q1	Q2	Q3
X	L	X	X	X	X	X	L	L	L	L
X	H	L	L	X	X	X	q0	q1	q2	q3
↑	H	h	L	X	L	X	q1	q2	q3	L
↑	H	h	L	X	h	X	q1	q2	q3	H
↑	H	L	h	L	X	X	L	q0	q1	q2
↑	H	L	h	h	X	X	H	q0	q1	q2
↑	H	h	h	X	X	dn	d0	d1	d2	d3

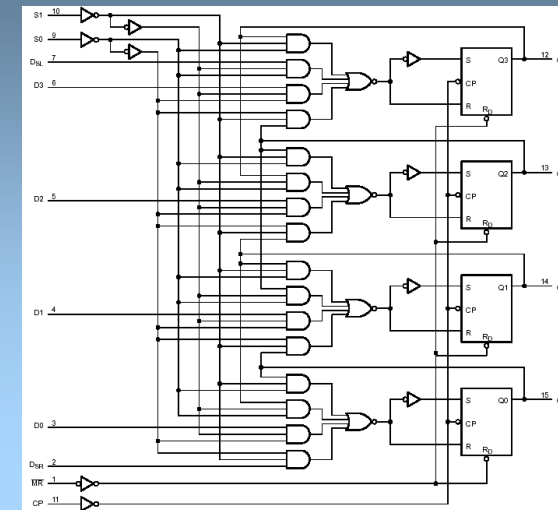
74194 “Shift Register” Bidireccional Universal de 4 bits



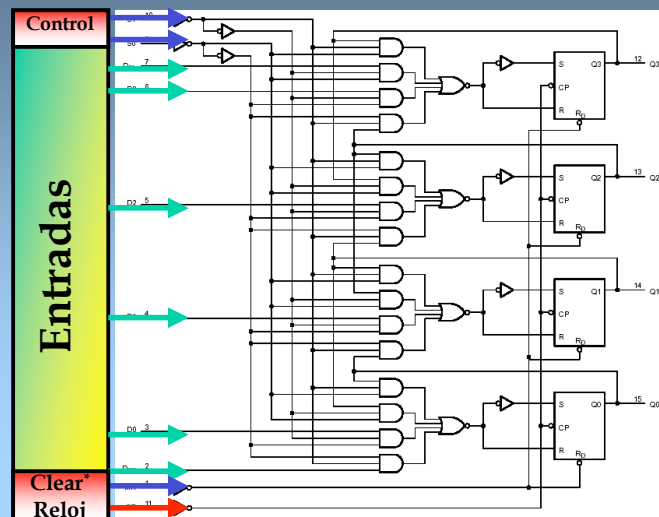
FUNCTION TABLE

INPUTS							OUTPUTS			
CP	MR	S1	S0	D _{SR}	D _{SL}	D _n	Q0	Q1	Q2	Q3
X	L	X	X	X	X	X	L	L	L	L
X	H	L	L	X	X	X	q0	q1	q2	q3
↑	H	h	L	X	L	X	q1	q2	q3	L
↑	H	h	L	X	h	X	q1	q2	q3	H
↑	H	L	h	L	X	X	L	q0	q1	q2
↑	H	L	h	h	X	X	H	q0	q1	q2
↑	H	h	h	X	X	dn	d0	d1	d2	d3

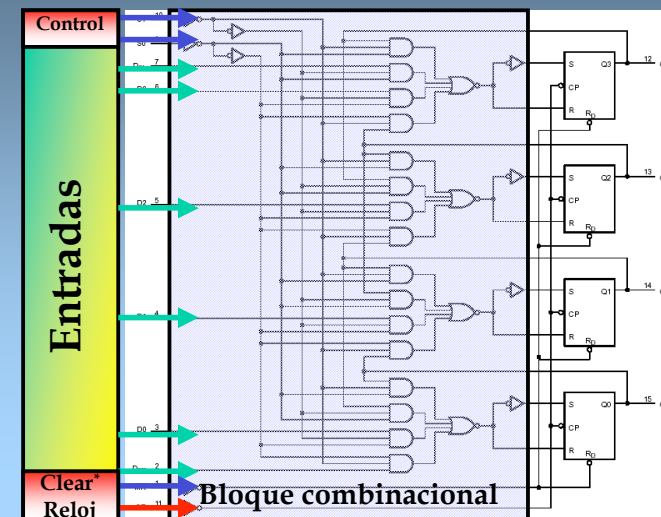
74194 “Shift Register” Bidireccional Universal de 4 bits



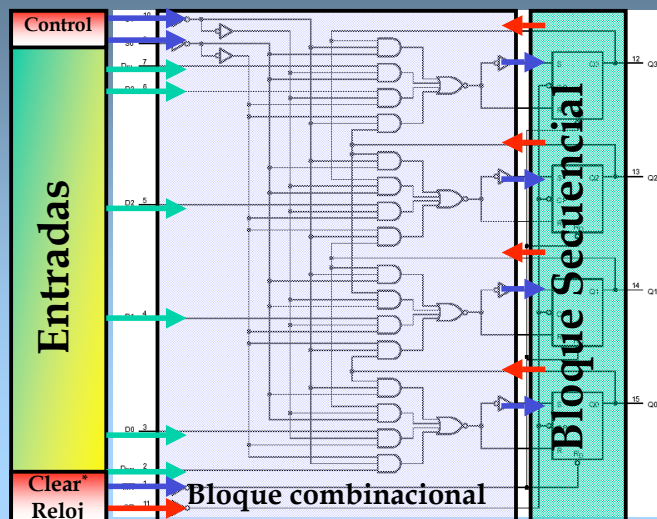
74194 “Shift Register” Bidireccional Universal de 4 bits



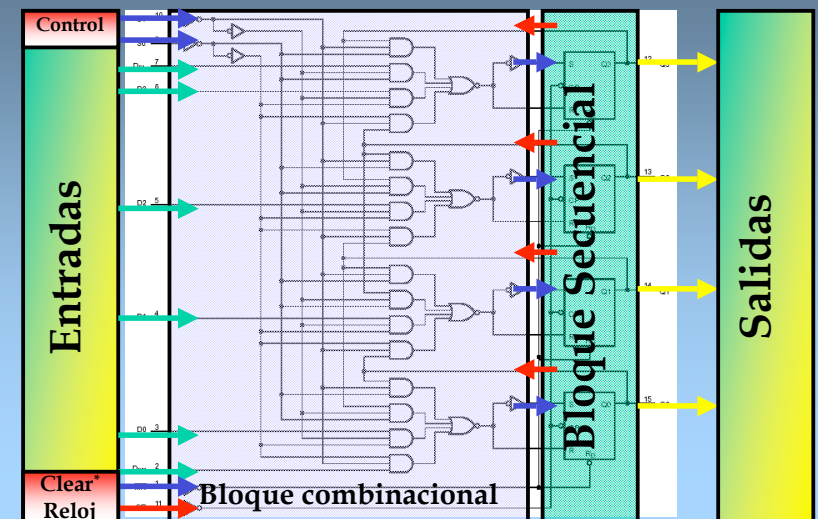
74194 “Shift Register” Bidireccional Universal de 4 bits



74194 “Shift Register” Bidireccional Universal de 4 bits



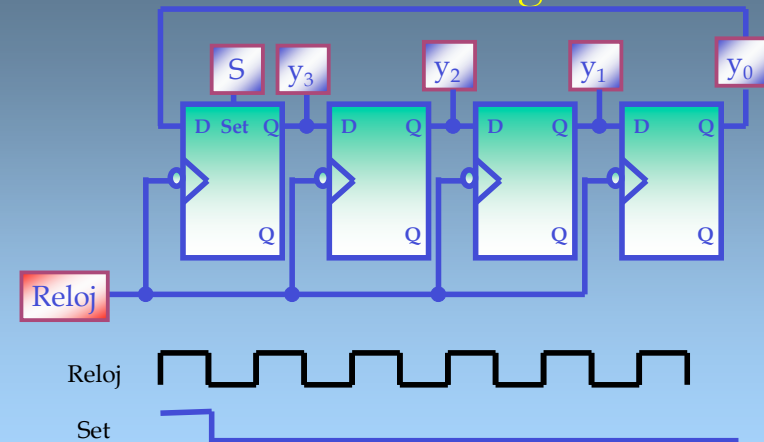
74194 “Shift Register” Bidireccional Universal de 4 bits



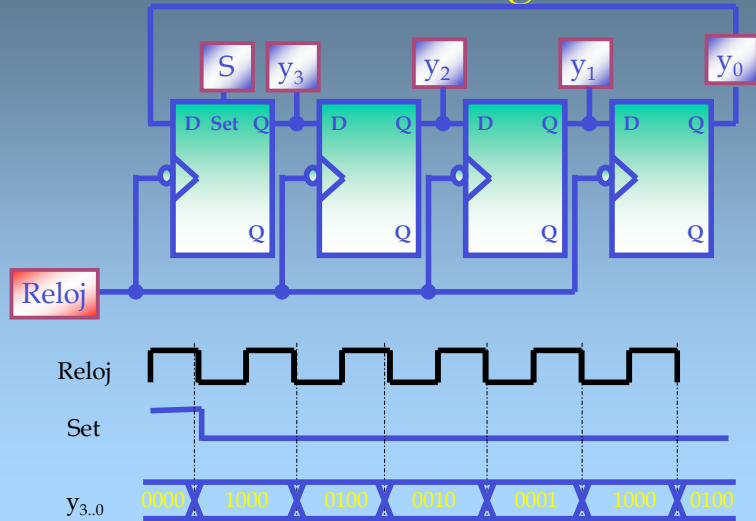
Tipos de contadores

- Diseñados como máquinas tipo Moore (la salida es el estado)
- Síncronos
 - Más fiables y rápidos
 - Sin estados intermedios (glitches)
 - Más grandes
- Asíncronos
 - Más lentos
 - Presentan glitches en las transiciones
 - Más pequeños

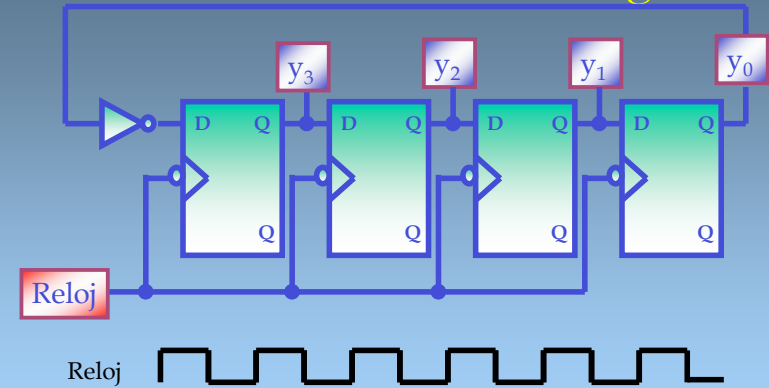
Contadores con registros



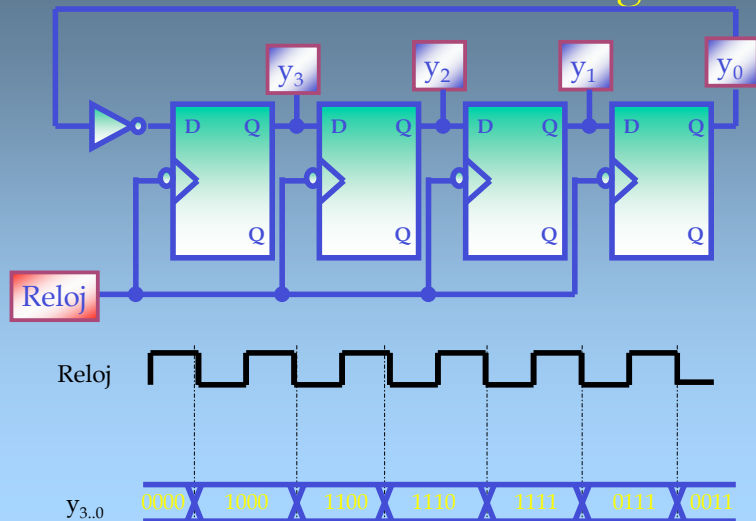
Contadores con registros



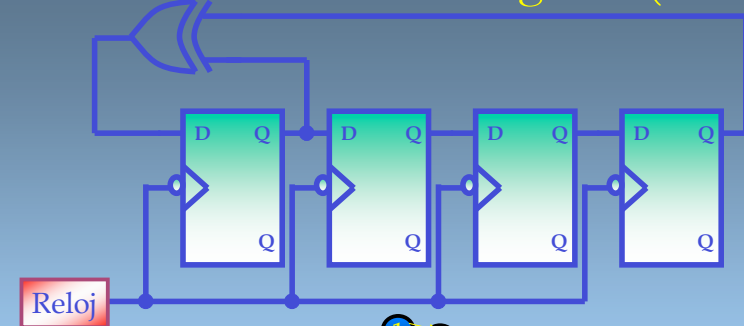
Contadores "Twisted ring"



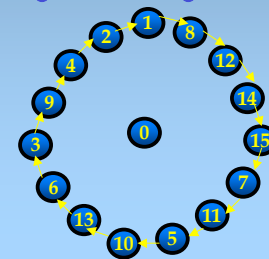
Contadores "Twisted ring"



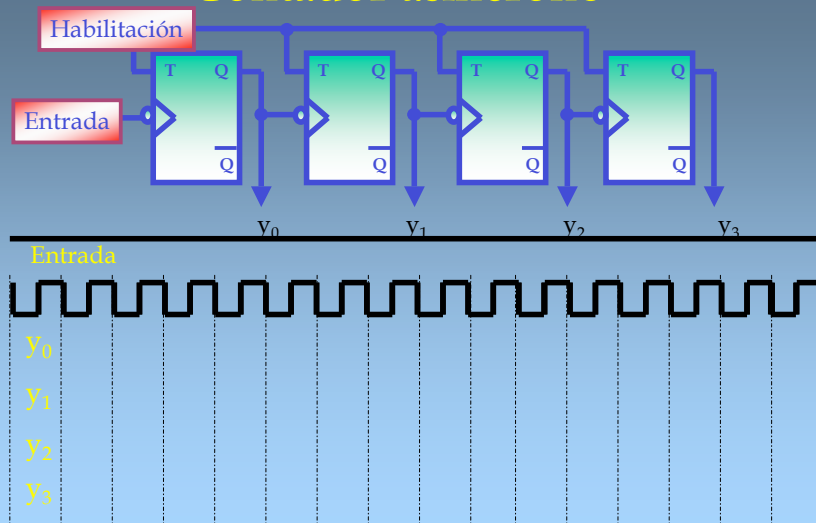
Linear Feedback Shift Register (LFSR)



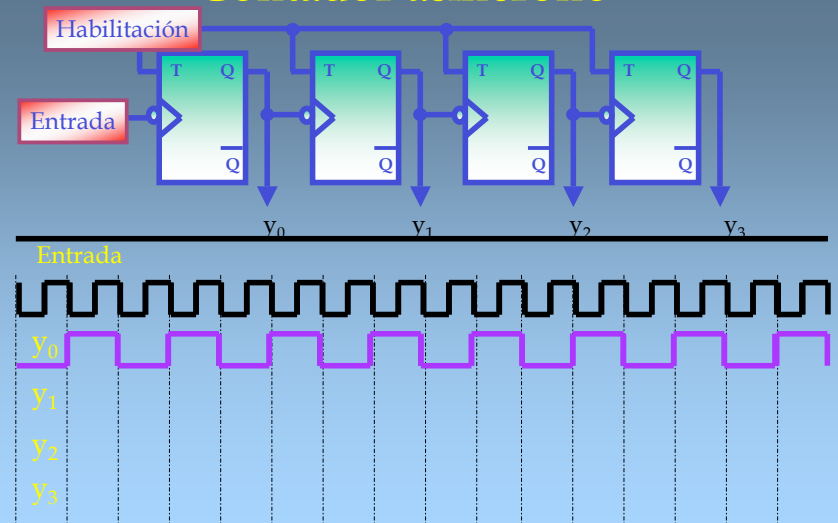
Generador de números pseudoaleatorios



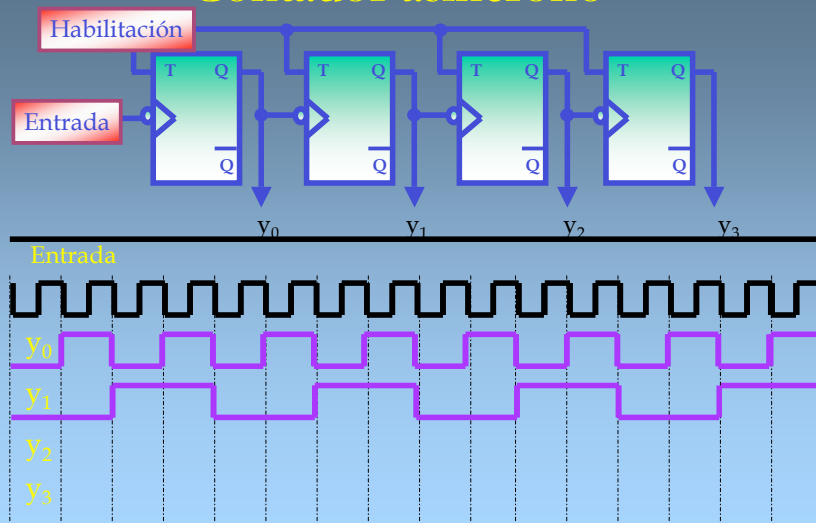
Contador asíncrono



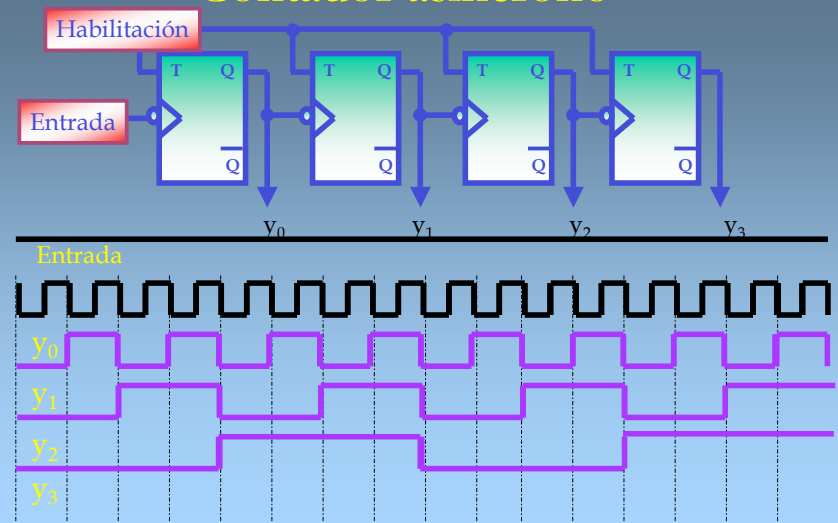
Contador asíncrono



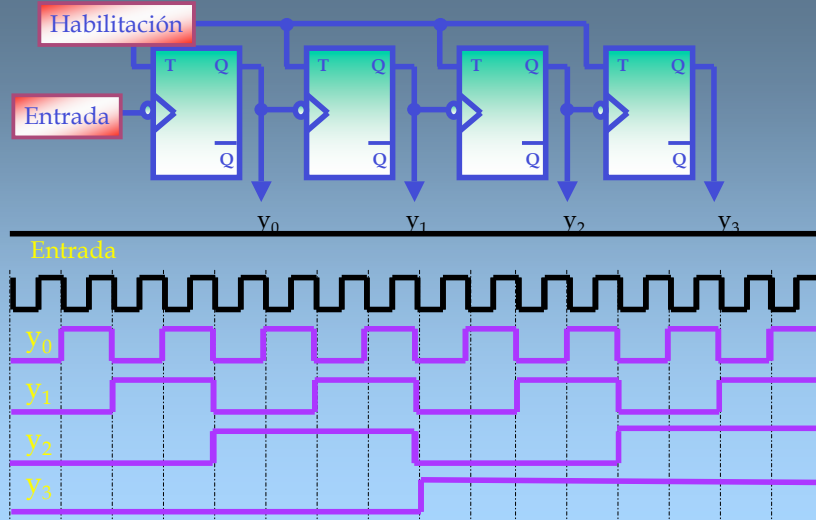
Contador asíncrono



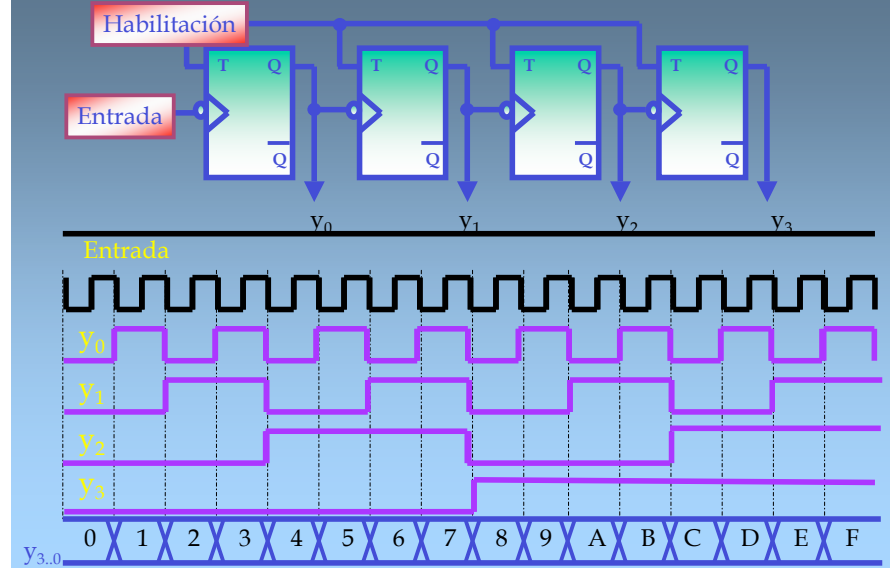
Contador asíncrono



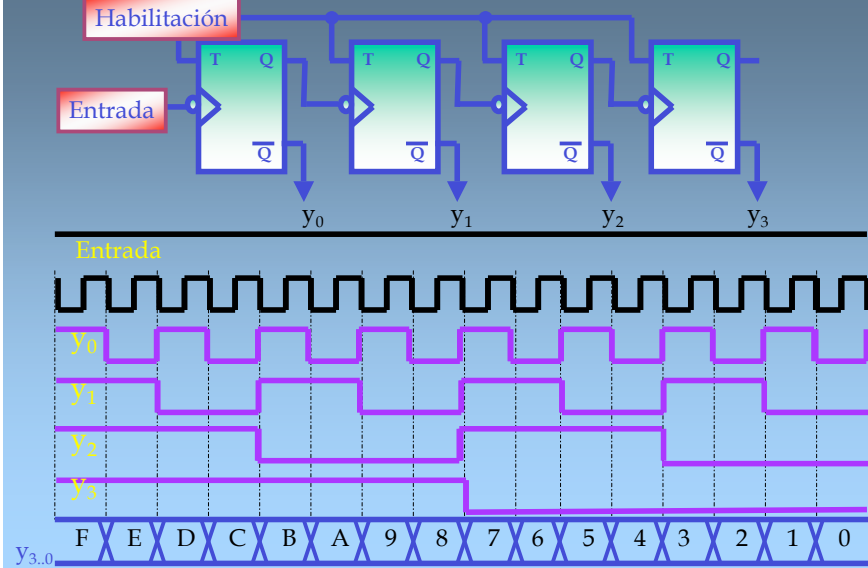
Contador asíncrono



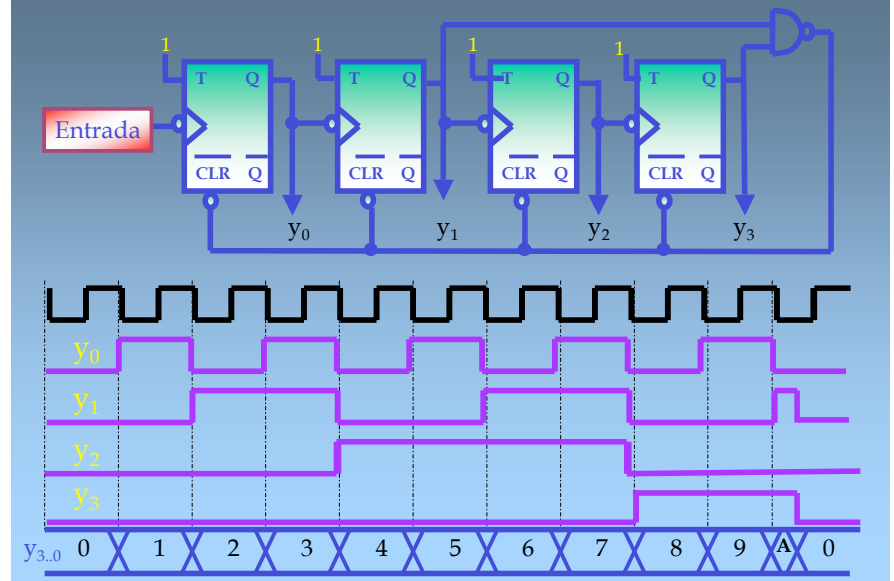
Contador asíncrono



Contador asíncrono



Contador asíncrono de módulo 10



Contador asíncrono de módulo 10

The diagram illustrates a 4-bit asynchronous modulo-10 counter. It consists of four J-K flip-flops (labeled T, Q, CLR, Q) connected in a chain. The clock input (Entrada) is connected to the T input of the first flip-flop. The Q output of each flip-flop is connected to the T input of the next flip-flop. The Q output of the fourth flip-flop is connected to a 4-input AND gate. The output of the AND gate is connected to the CLR input of the first flip-flop. The outputs of the flip-flops are labeled y_0 , y_1 , y_2 , and y_3 .

Below the circuit diagram is a timing diagram showing the waveforms for the clock input and the four outputs y_0 , y_1 , y_2 , and y_3 . The clock input is a square wave. The outputs y_0 , y_1 , y_2 , and y_3 are square waves that change state at different times, corresponding to the asynchronous nature of the counter. The timing diagram is divided into 10 clock cycles, labeled 0 through 9, and then a final state labeled A. The outputs y_0 , y_1 , y_2 , and y_3 are shown as purple waveforms. The clock input is shown as a black square wave. The timing diagram shows that the counter counts from 0 to 9 and then resets to 0.

Time	0	1	2	3	4	5	6	7	8	9	A	0
y_0	0	1	1	0	0	1	1	0	0	1	1	0
y_1	0	0	1	1	0	0	1	1	0	0	1	1
y_2	0	0	0	1	1	1	1	0	0	0	1	1
y_3	0	0	0	0	1	1	1	1	0	0	0	1

Contador asíncrono: Inconvenientes

The diagram illustrates a 4-bit asynchronous counter using four D flip-flops. The clock input (Entrada) is connected to the clock input of the first flip-flop (Q0). The output of the first flip-flop (Q0) is connected to the clock input of the second flip-flop (Q1). The output of the second flip-flop (Q1) is connected to the clock input of the third flip-flop (Q2). The output of the third flip-flop (Q2) is connected to the clock input of the fourth flip-flop (Q3). The outputs are labeled y0, y1, y2, and y3. A timing diagram below shows the waveforms for y0, y1, y2, and y3. The clock signal is a square wave. The output y0 is a square wave with a period of 2 clock cycles. The output y1 is a square wave with a period of 4 clock cycles. The output y2 is a square wave with a period of 8 clock cycles. The output y3 is a square wave with a period of 16 clock cycles. The timing diagram shows that the outputs are not synchronized with the clock, which is a disadvantage of asynchronous counters.

Ejemplo de funcionamiento

Diagrama de un contador de 3 bits implementado con tres flip-flops T y un decodificador 74HC138.

- Reloj:** Una señal de reloj (Reloj) se aplica al pin de reloj de los tres flip-flops T.
- Flip-flops T:** Tres flip-flops T están conectados en cascada. El pin T de cada flip-flop está conectado a un nivel lógico alto (1). El pin Q de cada flip-flop se conecta al pin de reloj del siguiente flip-flop.
- 74HC138:** El decodificador 74HC138 recibe las salidas Q de los tres flip-flops como entradas A₂, A₁ y A₀. Las entradas E₂, E₁ y E₀ están conectadas a un nivel lógico bajo (0).
- Salidas:** El decodificador 74HC138 tiene ocho salidas de salida, etiquetadas como Q₀ a Q₇.

[illegible][illegible]

74138- Decodificador de 1 a 8

[illegible]

74138- Decodificador de 1 a 8

[illegible]

74138- Decodificador de 1 a 8

[illegible]

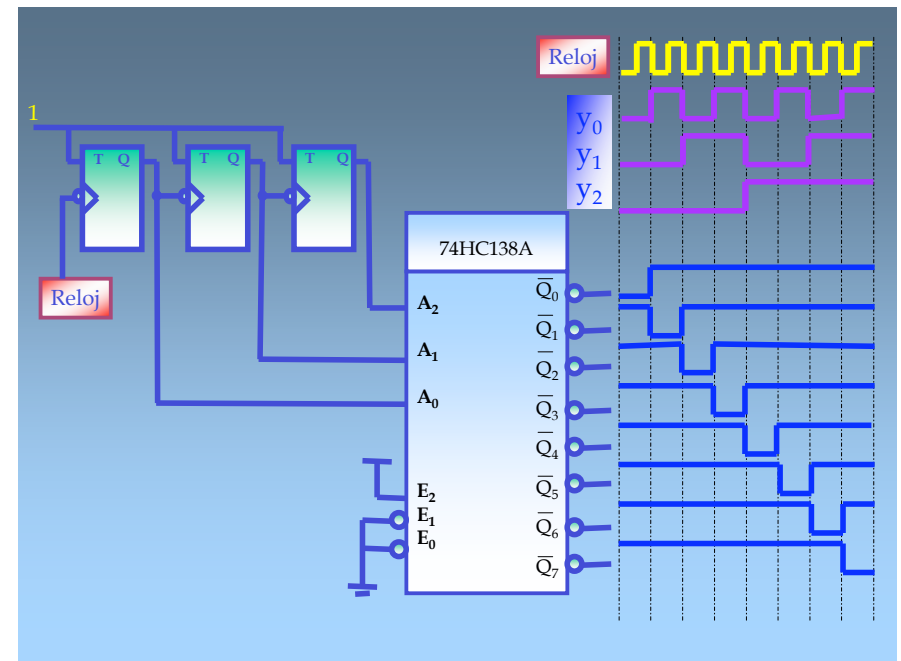
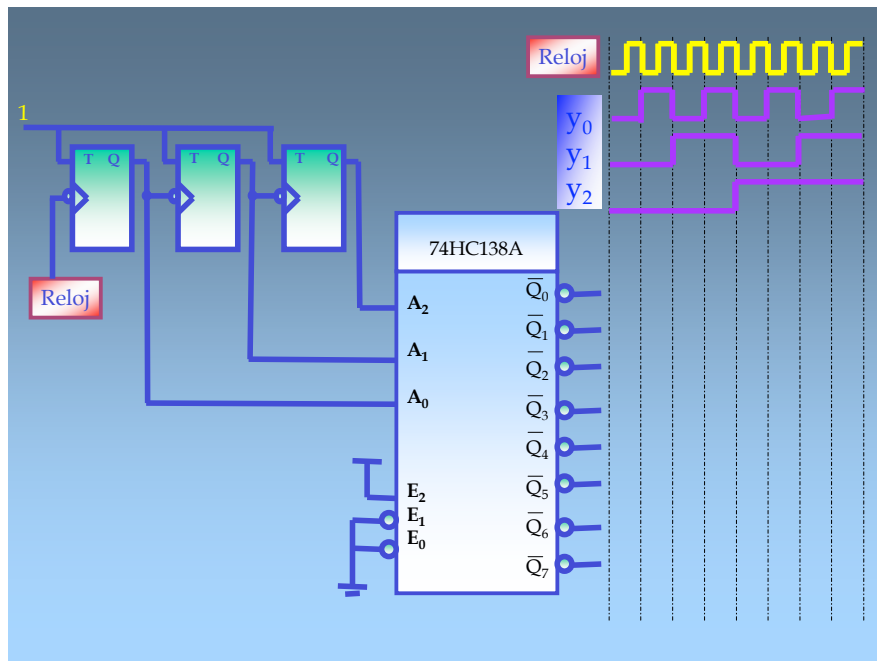
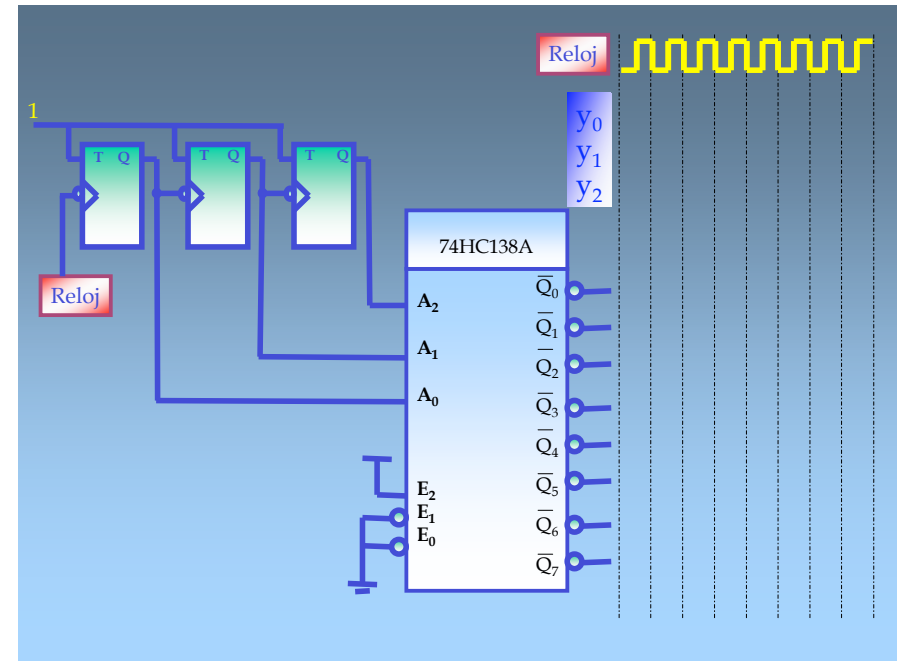
74138- Decodificador de 1 a 8

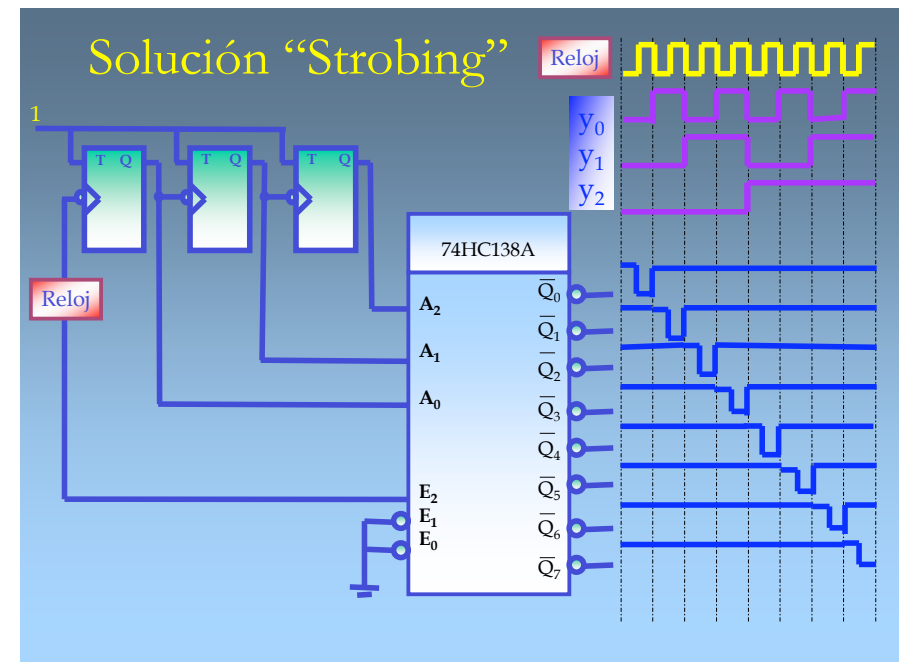
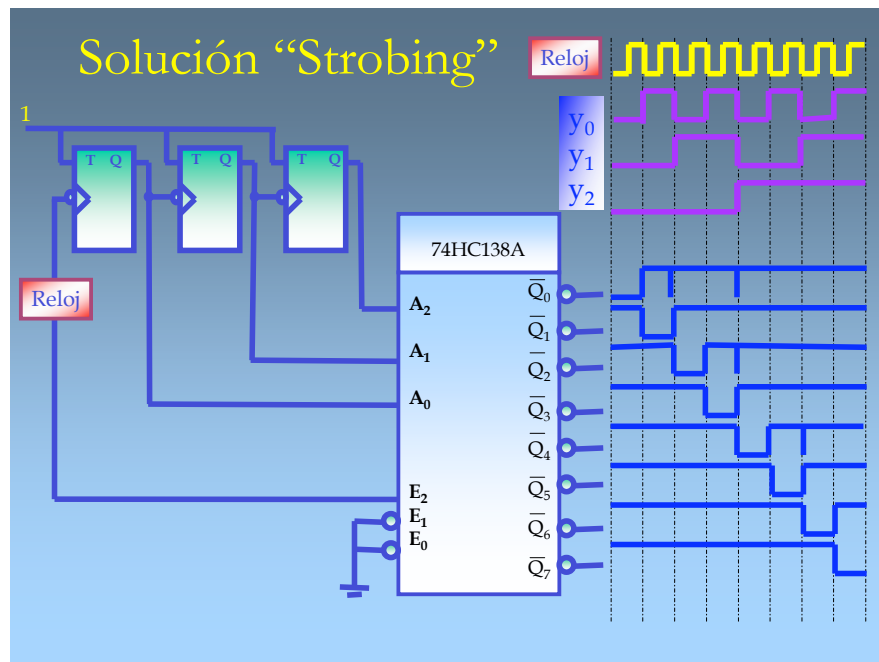
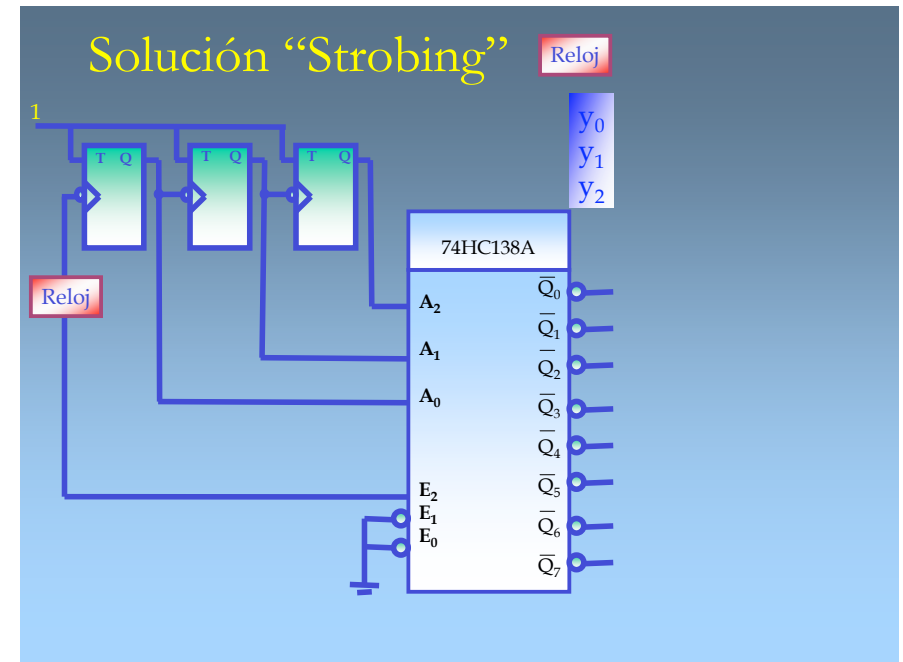
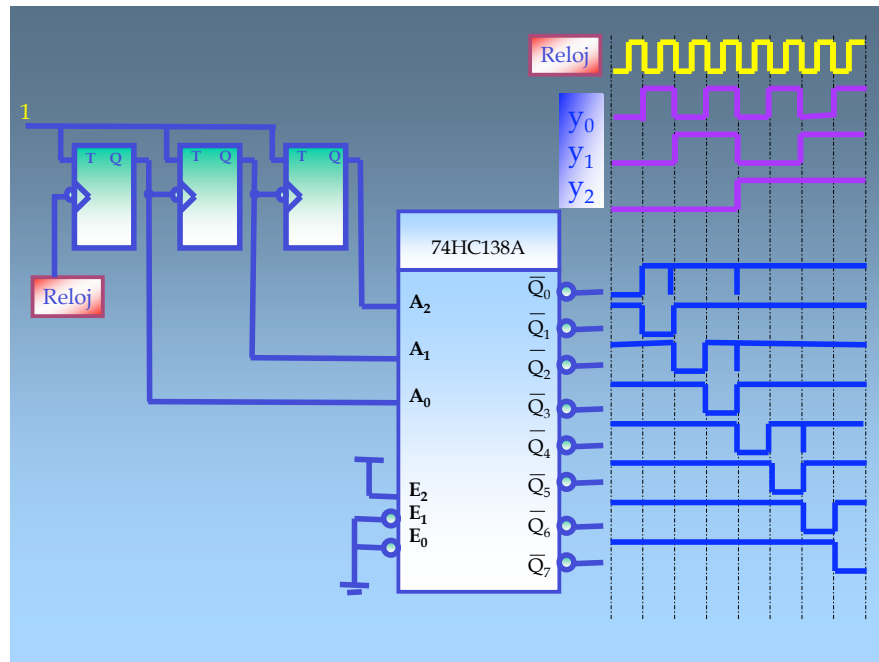
[illegible]

74138- Decodificador de 1 a 8

FUNCTION TABLE

INPUTS						OUTPUTS							
$\overline{E_0}$	$\overline{E_1}$	$\overline{E_2}$	A0	A1	A2	$\overline{Q_0}$	$\overline{Q_1}$	$\overline{Q_2}$	$\overline{Q_3}$	$\overline{Q_4}$	$\overline{Q_5}$	$\overline{Q_6}$	$\overline{Q_7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	L	H	H	H	H
L	L	H	H	H	L	H	H	H	H	L	H	H	H
L	L	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	H	H	L	H	H
L	L	H	H	L	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L





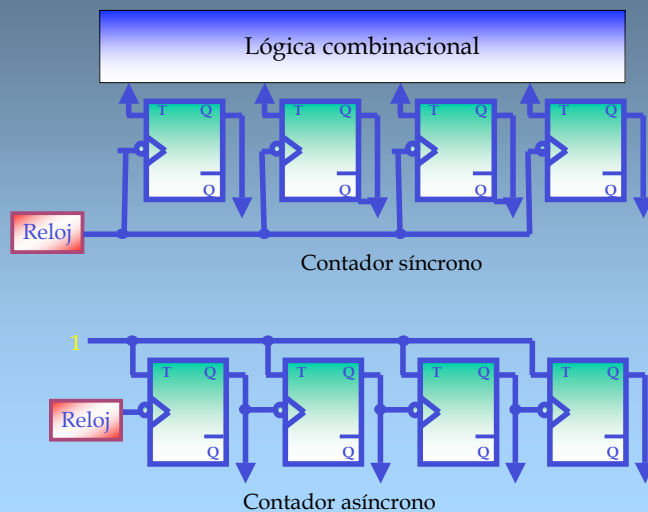
Problemas propuestos

- Diseña dos contadores, uno módulo-32 y otro módulo 20 a partir de Flip-Flops JK activos por flanco de bajada
- Calcula la frecuencia máxima a la que puede operar un contador asíncrono de módulo-10 si el tiempo de retardo de cada uno de sus Flip-Flops es de 20 nanosegundos
 - (Supón que cada estado ha de ser estable durante al menos medio ciclo de reloj)

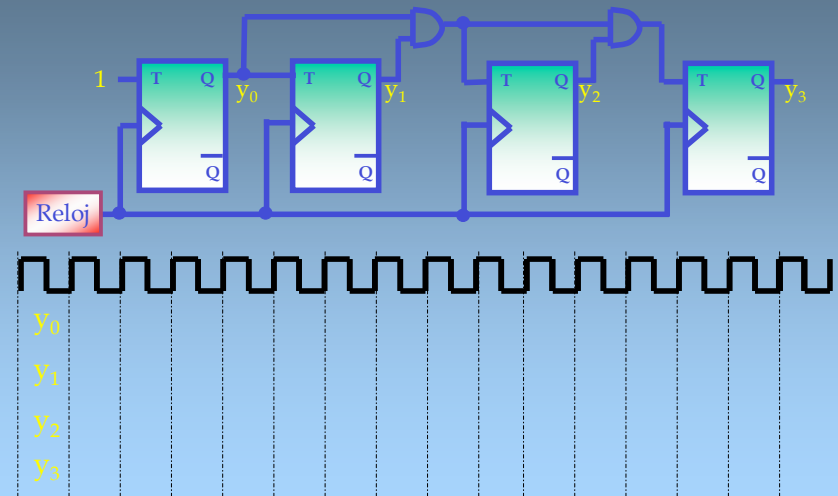
Contadores síncronos

- Todos los Flip-Flops están conectados al mismo reloj
- Varían al unísono (sin presencia de glitches)
- Más rápidos
- Ocupan más área

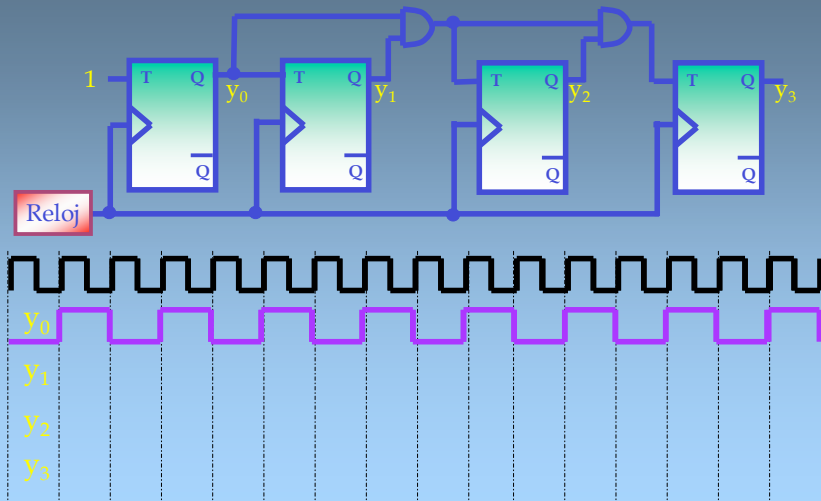
Contadores síncronos



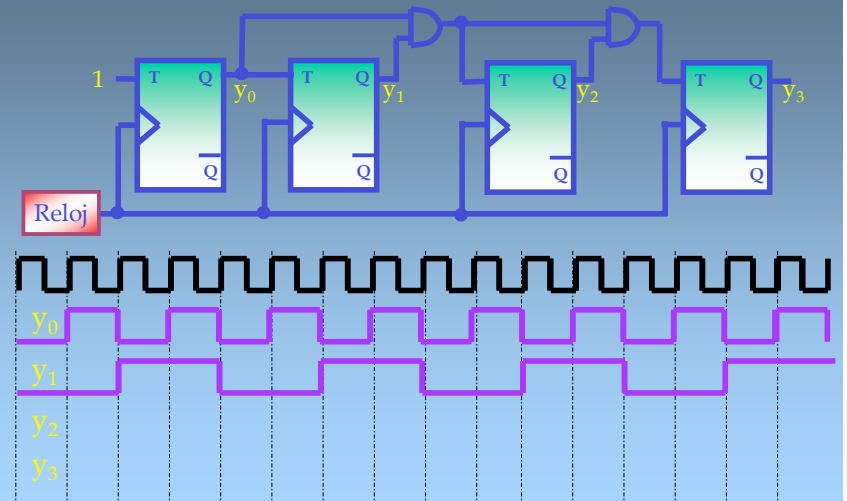
Contador binario síncrono



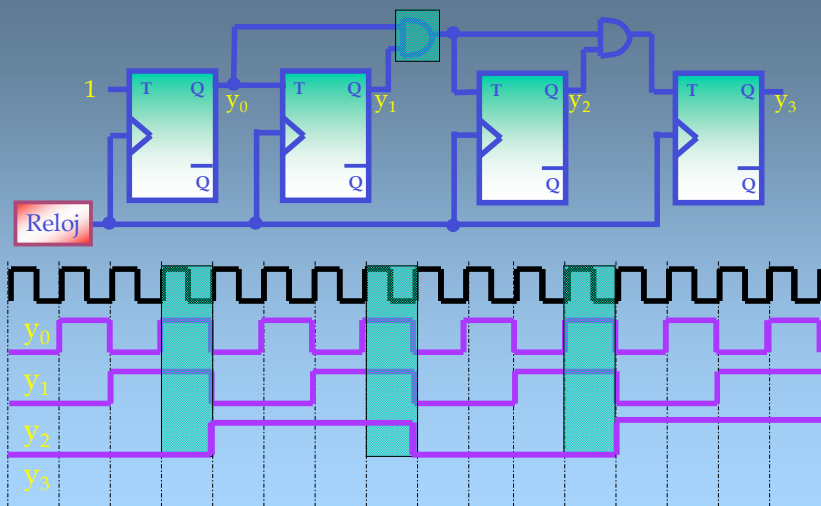
Contador binario síncrono



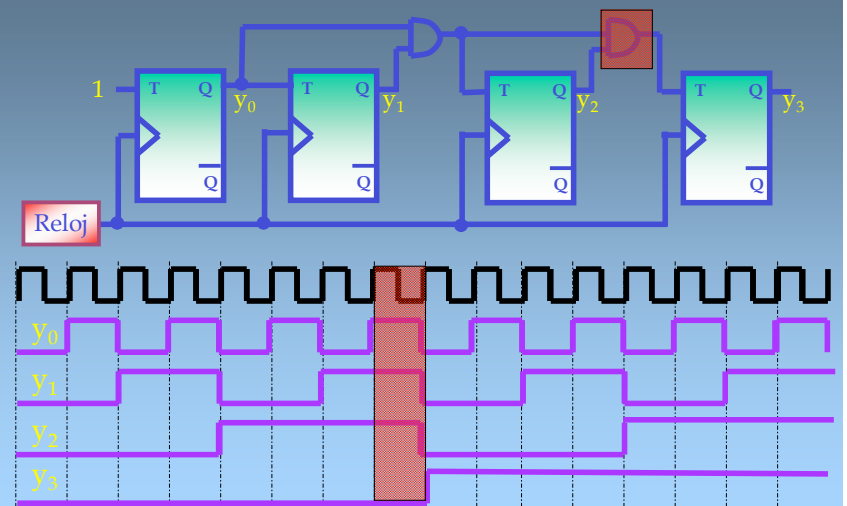
Contador binario síncrono



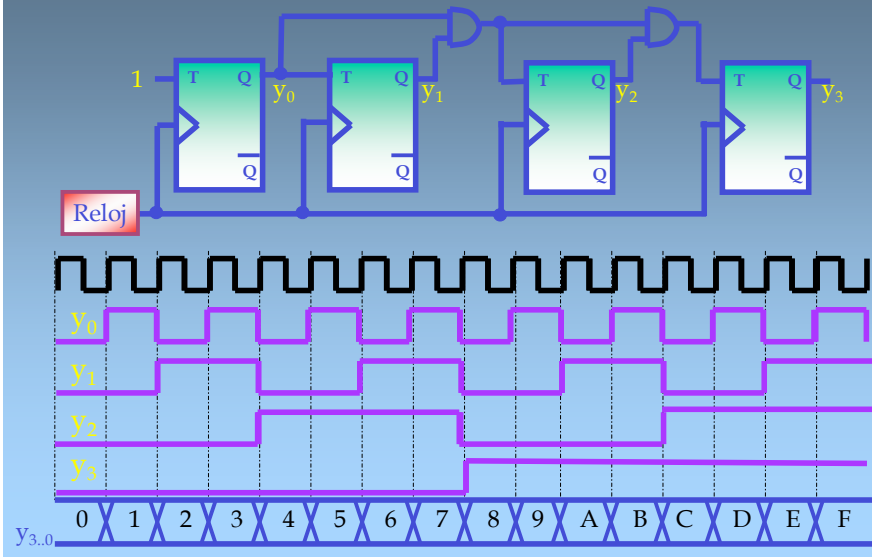
Contador binario síncrono



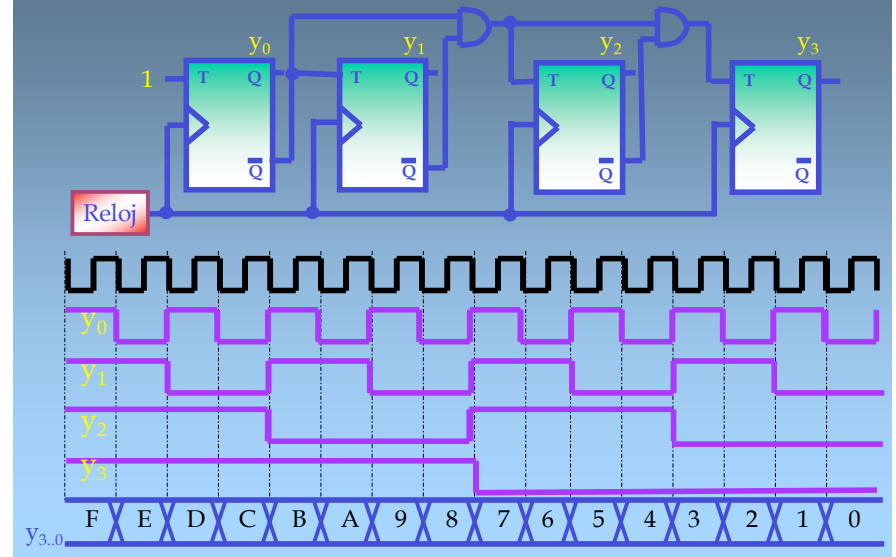
Contador binario síncrono



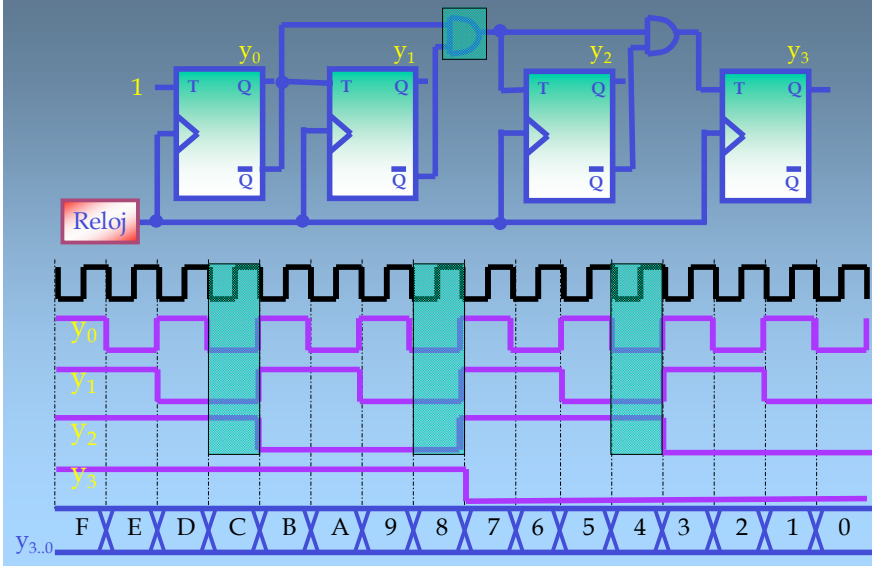
Contador binario síncrono



Contador binario síncrono



Contador binario síncrono



Contador binario síncrono

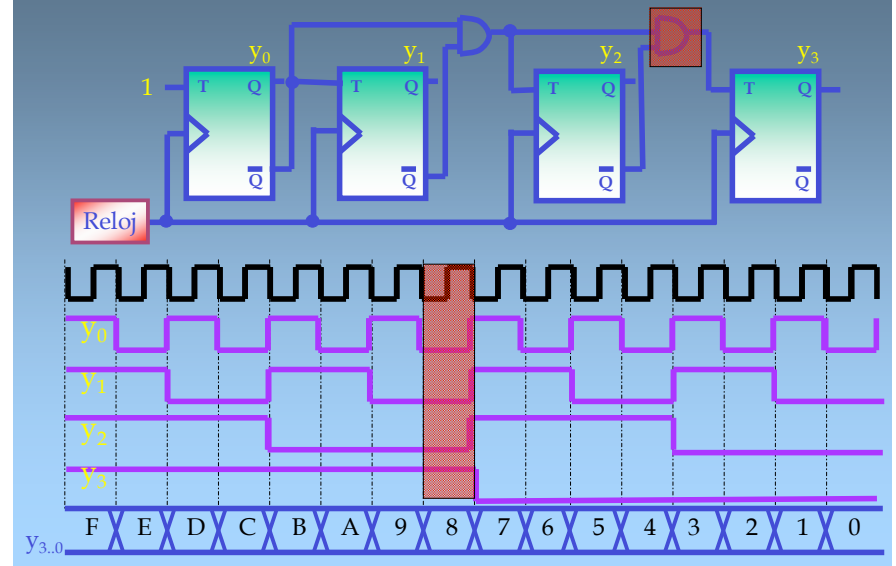
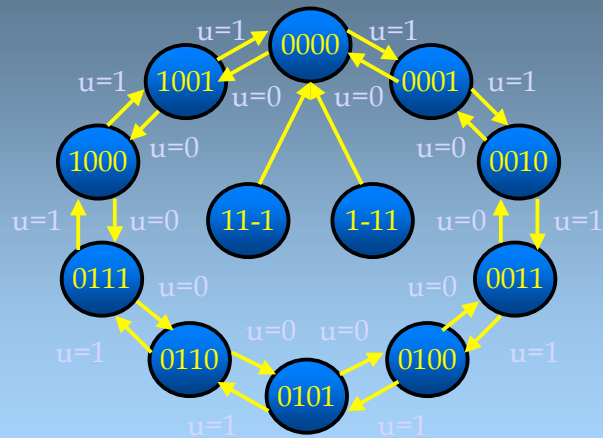


Diagrama de estados contador BCD



Ejercicio: Implementa el circuito secuencial usando Flip-Flops tipo T

		$y_3^* y_2^* y_1^* y_0^*$ u=0			
$y_1 y_0$	$y_3 y_2$	0 0	0 1	1 1	1 0
0 0	0 0	1001	0000	0010	0001
0 1	0 0	0011	0100	0110	0101
1 1	0 0	0000	0000	0000	0000
1 0	0 0	0111	1000	0000	0000

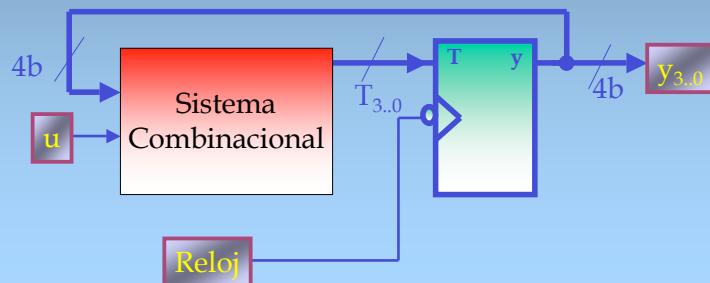
		$y_3^* y_2^* y_1^* y_0^*$ u=1			
$y_1 y_0$	$y_3 y_2$	0 0	0 1	1 1	1 0
0 0	0 0	0001	0010	0100	0011
0 1	0 0	0101	0110	1000	0111
1 1	0 0	0000	0000	0000	0000
1 0	0 0	1001	0000	0000	0000

		$T_3 T_2 T_1 T_0$ u=0			
$y_1 y_0$	$y_3 y_2$	0 0	0 1	1 1	1 0
0 0	0 0	1001	0001	0001	0011
0 1	0 0	0111	0001	0001	0011
1 1	0 0	1100	1101	1111	1110
1 0	0 0	1111	0001	1011	1010

		$T_3 T_2 T_1 T_0$ u=1			
$y_1 y_0$	$y_3 y_2$	0 0	0 1	1 1	1 0
0 0	0 0	0001	0011	0111	0001
0 1	0 0	0001	0011	1111	0001
1 1	0 0	1100	1101	1111	1110
1 0	0 0	0001	1001	1011	1010

Contador UP/DOWN

- $T_0 = \bar{u} \bar{y}_2 \bar{y}_1 \bar{y}_0 + y_3 y_2 + y_3 y_1 + u y_2 y_1 y_0 + u y_3 y_0$
- $T_1 = \bar{u} y_2 \bar{y}_1 \bar{y}_0 + \bar{u} y_3 \bar{y}_1 \bar{y}_0 + y_3 y_2 + u y_1 y_0$
- $T_2 = \bar{u} \bar{y}_3 y_2 \bar{y}_0 + \bar{u} y_3 \bar{y}_2 \bar{y}_0 + \bar{u} y_1 \bar{y}_0 + y_3 y_1 + u \bar{y}_3 y_0$
- $T_3 = \bar{y}_3 + y_0 + \bar{y}_2 \bar{y}_1$



Contadores MSI

- 74161 Contador síncrono binario de 4 bits con Reset asíncrono
- 74163 Contador síncrono binario de 4 bits con Reset síncrono
- 74191 Contador binario de 4 bits Up/Down

Tablas de verdad

74F161A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
MR	CP	CEP	CET	PE	Dn	Qn	TC	
L	X	X	X	X	X	L	L	Reset (clear)
H	↑	X	X	L	L	L	L	Parallel load
H	↑	h	h	h	X	count	(1)	Count
H	X	L	X	h	X	Qn	(1)	Hold (do nothing)
H	X	X	L	h	X	Qn	L	Hold (do nothing)

74F163A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
SR	CP	CEP	CET	PE	Dn	Qn	TC	
L	↑	X	X	X	X	L	L	Reset (clear)
h	↑	X	X	L	L	L	L	Parallel load
h	↑	X	X	L	h	H	(2)	Parallel load
h	↑	h	h	h	X	count	(2)	Count
h	X	L	X	h	X	Qn	(2)	Hold (do nothing)
h	X	X	L	h	X	Qn	L	Hold (do nothing)

Tablas de verdad

74F161A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
MR	CP	CEP	CET	PE	Dn	Qn	TC	
L	X	X	X	X	X	L	L	Reset (clear)
H	↑	X	X	L	L	L	L	Parallel load
H	↑	h	h	h	X	count	(1)	Count
H	X	L	X	h	X	Qn	(1)	Hold (do nothing)
H	X	X	L	h	X	Qn	L	Hold (do nothing)

74F163A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
SR	CP	CEP	CET	PE	Dn	Qn	TC	
L	↑	X	X	X	X	L	L	Reset (clear)
h	↑	X	X	L	L	L	L	Parallel load
h	↑	X	X	L	h	H	(2)	Parallel load
h	↑	h	h	h	X	count	(2)	Count
h	X	L	X	h	X	Qn	(2)	Hold (do nothing)
h	X	X	L	h	X	Qn	L	Hold (do nothing)

Tablas de verdad

74F161A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
MR	CP	CEP	CET	PE	Dn	Qn	TC	
L	X	X	X	X	X	L	L	Reset (clear)
H	↑	X	X	L	L	L	L	Parallel load
H	↑	h	h	h	X	count	(1)	Count
H	X	L	X	h	X	Qn	(1)	Hold (do nothing)
H	X	X	L	h	X	Qn	L	Hold (do nothing)

74F163A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
SR	CP	CEP	CET	PE	Dn	Qn	TC	
L	↑	X	X	X	X	L	L	Reset (clear)
h	↑	X	X	L	L	L	L	Parallel load
h	↑	X	X	L	h	H	(2)	Parallel load
h	↑	h	h	h	X	count	(2)	Count
h	X	L	X	h	X	Qn	(2)	Hold (do nothing)
h	X	X	L	h	X	Qn	L	Hold (do nothing)

Tablas de verdad

74F161A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
MR	CP	CEP	CET	PE	Dn	Qn	TC	
L	X	X	X	X	X	L	L	Reset (clear)
H	↑	X	X	L	L	L	L	Parallel load
H	↑	h	h	h	X	count	(1)	Count
H	X	L	X	h	X	Qn	(1)	Hold (do nothing)
H	X	X	L	h	X	Qn	L	Hold (do nothing)

74F163A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
SR	CP	CEP	CET	PE	Dn	Qn	TC	
L	↑	X	X	X	X	L	L	Reset (clear)
h	↑	X	X	L	L	L	L	Parallel load
h	↑	X	X	L	h	H	(2)	Parallel load
h	↑	h	h	h	X	count	(2)	Count
h	X	L	X	h	X	Qn	(2)	Hold (do nothing)
h	X	X	L	h	X	Qn	L	Hold (do nothing)

Tablas de verdad

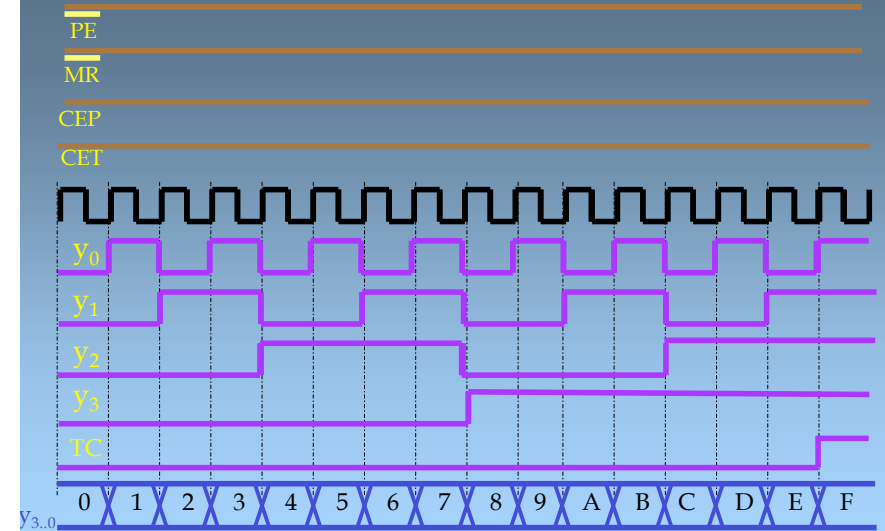
74F161A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
MR	CP	CEP	CET	PE	Dn	Qn	TC	
L	X	X	X	X	X	L	L	Reset (clear)
H	↑	X	X	L	h	L	(1)	Parallel load
H	↑	h	h	h	X	count	(1)	Count
H	X	L	X	h	X	Qn	(1)	Hold (do nothing)
H	X	X	L	h	X	Qn	L	

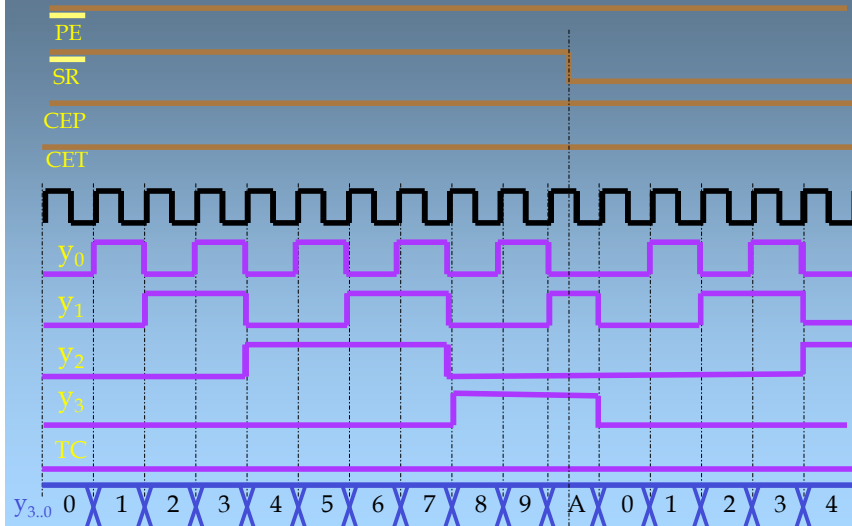
74F163A MODE SELECT – FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
SR	CP	CEP	CET	PE	Dn	Qn	TC	
L	↑	X	X	X	X	L	L	Reset (clear)
h	↑	X	X	L	h	L	(2)	Parallel load
h	↑	h	h	h	X	count	(2)	Count
h	X	L	X	h	X	Qn	(2)	Hold (do nothing)
h	X	X	L	h	X	Qn	L	

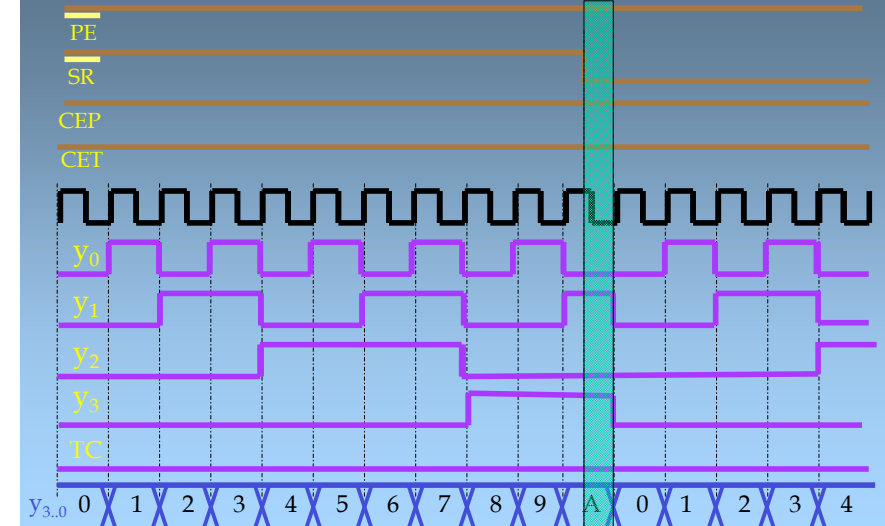
TC=1 si CET=1 y Q=F



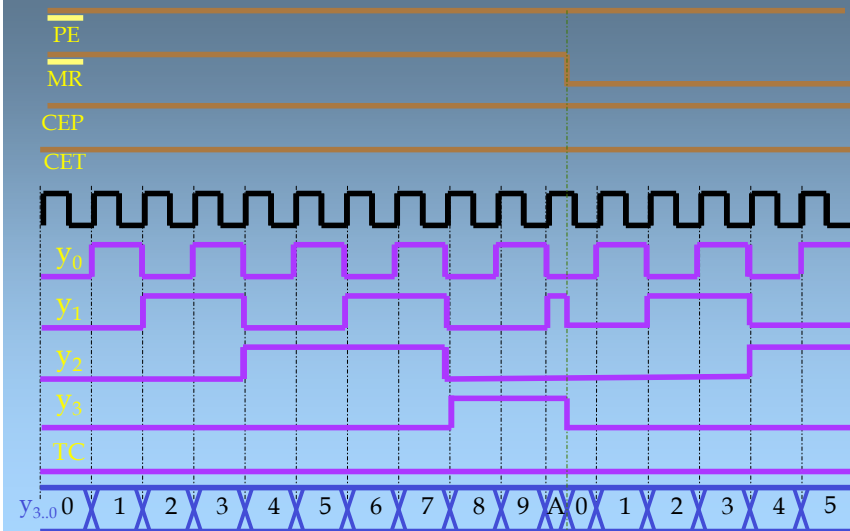
Clear síncrono del 74163



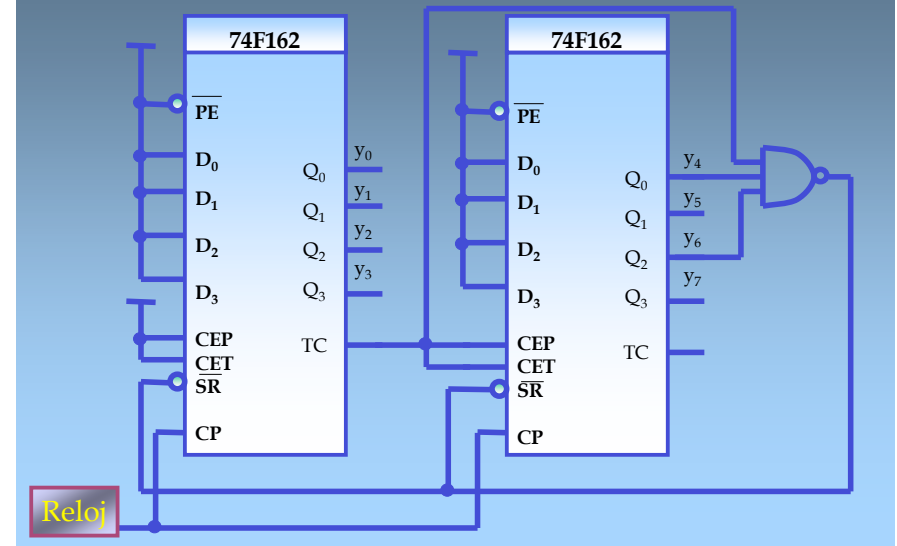
Clear síncrono del 74163



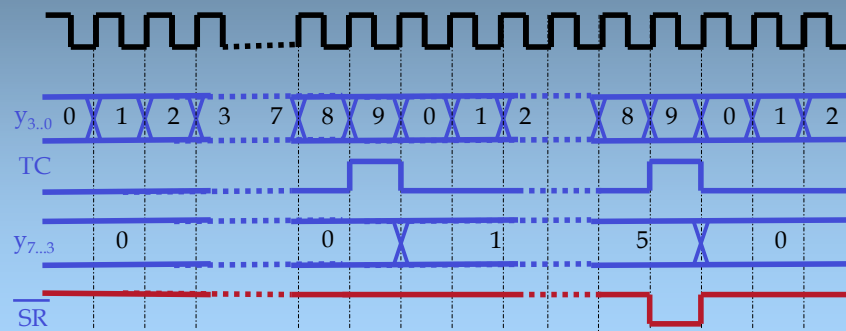
Clear asíncrono del 74161



Contador BCD módulo 60



Contador BCD módulo 60



Resumen

- Registros de desplazamiento
 - Sirven como memoria
 - Podemos implementar contadores al realimentarlos
- Contadores
 - Asíncronos
 - Con presencia de glitches
 - Mas lentos
 - Síncronos
 - Ocupan más area
- Clear / Load
 - Síncronos (Reseteamos o cargamos dato esperando al flanco de reloj)
 - Asíncrono (Reseteamos o cargamos dato de forma inmediata)

Ejercicio propuesto

- El sensor de temperatura LM74 es un dispositivo que, controlado por un reloj y una señal de control (SC y CS*), proporciona el valor de temperatura por el puerto de salida (SO). A partir de contadores 74162, de “shift-register” 74194 y de la lógica necesaria diseñar un sistema que cada minuto haga una lectura de la temperatura del sensor (8 bits) y la coloque en los “shift-registers”.

Sensor de Temperatura LM74

