

PRACTIQUES D'ELECTRÒNICA DIGITAL

CURS 2009-2010

GRUP DE SISTEMES ELECTRÒNICS

JOSEP LLUÍS ROSSELLÓ

PRÀCTICA 1

INTRODUCCIÓ AL MAX+PLUS II

PRÀCTIQUES D'ELECTRÒNICA DIGITAL

1 Introducció

1.1 Obtenció del programa MAX+PLUS II

Per tal d'obtenir el programa MAX+PLUS II es pot davallar de la xarxa de la següent manera:

1. Accedint a la pàgina d'ALTERA https://www.altera.com/support/software/download/soft-download_center.html
- 2 Pitjar el link *MAX+PLUS II BASELINE*.

Nota: Aquesta informació està subjecta als possibles canvis introduïts a la web d'ALTERA.

1.2 Obtenció del fitxer de llicència del MAX+PLUS II

Per tal d'obtenir el fitxer de llicència pel MAX+PLUS II s'ha de demanar de la següent forma:

1. Accedint a la pàgina d'ALTERA www.altera.com
- 2 Pitjar el link *university program*
- 3 Pitjar el link *Design software*
- 3 Pitjar el link *License*
- 4 Indicar la versió 10.1 i pitjar Continue
- 5 Indicar el hard disk number i pitjar Continue
- 6 Omplir formulari indicant el e-mail de contacte (on enviaran el fitxer de llicència) i posar la opció "Design laboratory package"

Per tal d'obtenir el hard disk number ho podeu trobar de la següent forma: Instal·lant el programa MAX+PLUS II que heu davallat prèviament i engegant-lo. Una vegada posat en marxa cercar al menú Options>License Setup>System info on especificarà el nombre al apartat "C: drive serial number" .

Finalment, una vegada rebut el fitxer de llicència heu de posar-lo a la carpeta maxplus2 i indicar al programa on està el fitxer al apartat Options>License Setup

Nota: Aquesta informació està subjecta als possibles canvis introduïts a la web d'ALTERA.

En qualsevol cas teniu instal·lat el programa als ordinadors del laboratori d'electrònica del edifici Anselm Turmeda. També tindreu accés a les plaques d'ALTERA (prèvia petició al encarregat del aula en aquell moment).

2. Exemple senzill

2.1 Objectiu

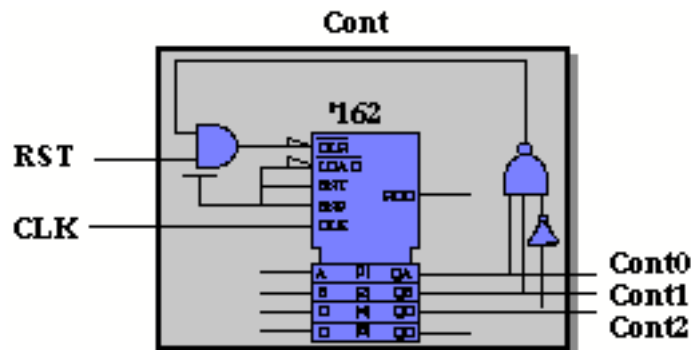
En aquesta pràctica es pretén que l'alumne es familiaritzi amb l'eina de disseny, simulació i síntesi MAX+PLUS II del fabricant Altera que es farà servir durant el curs. Per això es proposa el disseny d'un circuit senzill per il·lustrar algunes de les possibilitats de l'eina, així com el procés que es segueix en el disseny d'un circuit o sistema digital amb aquesta eina.

2.2 Visió del disseny

Es tracta de dissenyar un comptador de tres bits que controli un multiplexor 8-1 de paraules de 4 bits. La sortida del multiplexor anirà mostrant cada un dels 8 codis d'entrada a aquest mòdul de forma seqüencial (excepte el codi corresponent a l'entrada 8 que no s'activarà mai) governat pel rellotge del comptador.

2.2.1 Disseny del comptador

Pel comptador utilitzarem un mòdul MSI, el 74162 amb senyal de *clear* síncron. Per obtenir un comptatge de 0 a 6 descodificarem de les sortides el valor 110 i el realimentem al senyal de CLR' per obtenir així un *reset* del comptador cada cop que arribem a aquest estat, forçant el que pròxim valor sigui tot zeros. Com que ens interessa poder realitzar en qualsevol moment un "reset" del circuit, l'esquema del comptador serà la següent:



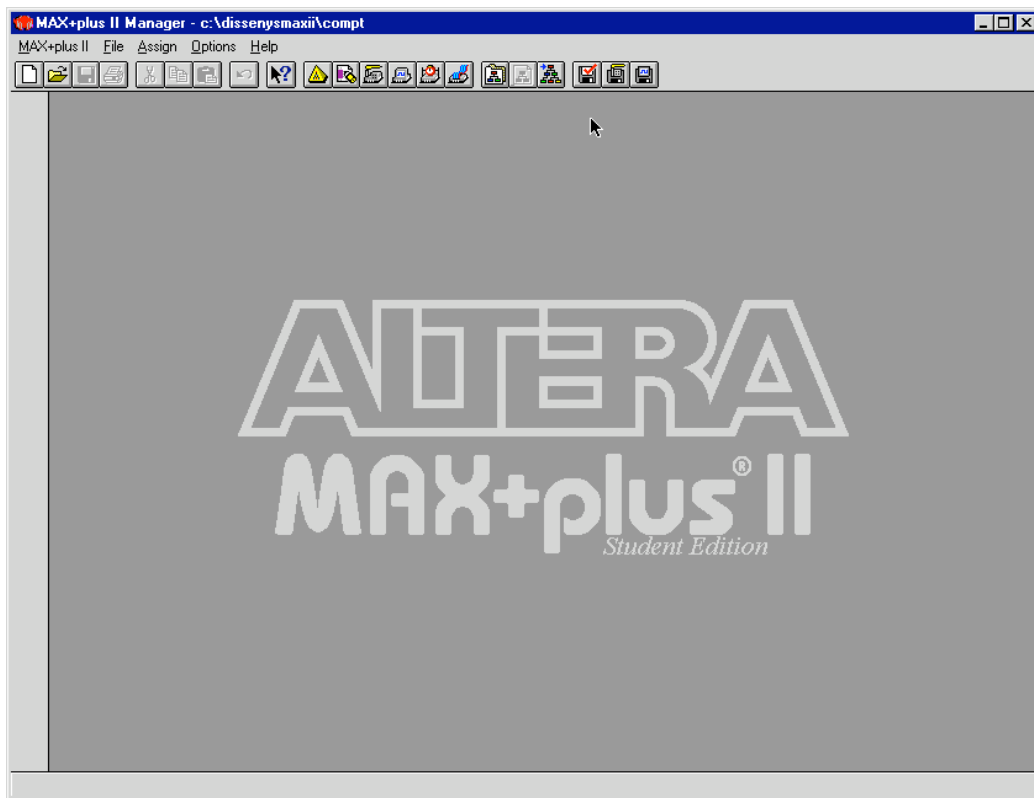
2.2.2 Cicle de disseny

Per conèixer les possibilitats de l'eina el comptador es dissenyarà utilitzant l'editor gràfic de l'eina i components de llibreria. En el disseny s'utilitzarà el cicle típic:

Edició -> Compilació -> Simulació -> Síntesi

2. Inici del MAX+PLUS II

Per iniciar el programa de disseny s'ha de polsar dos cops sobre l'icona del programa present a l'escriptori, o be en l'icona MAX+PLUSII que apareix en grup de programes del *program manager* de l'icona de *Windows*.. La finestra que apareix és la següent:



Un cop engegat el programa apareix la finestra *MAX+PLUs II Manager*. La finestra del *MAX+PLUs II Manager* mostra una barra d'eines que proporciona una accés ràpid al conjunt de comandes més utilitzades freqüentment. A la part inferior es mostra la zona de barra d'estatus a on l'eina notifica el tipus d'acció o comanda que s'està utilitzant o es vol utilitzar. Així mateix a la part esquerra de la finestra *MAX+PLUs II Manager* hi ha la zona d'eines específiques a cada eina que s'estigui utilitzant. Tant la zona d'eines com la barra d'estatus es poden fer desaparèixer des del menú *preferences* que hi ha en el menú *options*.

En el MAX+PLUSII cada tipus de fitxer (gràfic, vhdl, de simulació, etc...) té una terminació que indica el seu tipus. A la següent taula s'especifiquen algunes de les terminacions i els tipus de fitxer que representen

Terminacions associades a cada tipus de fitxer

Fitxer gràfic	<i>.gdf</i>
Fitxer VHDL	<i>.vhd</i>
Símbol	<i>.sym</i>
Fitxer de canal de simulació	<i>.scf</i>
Fitxer de <i>netlist</i> de simulació	<i>.snf</i>
Fitxer tipus vector	<i>.vec</i>

3. Disseny del circuit

Per dissenyar el circuit, seguirem una aproximació tipus *bottom-up* en la que primer dissenyarem cada mòdul per separat (un descrit amb esquemàtic a partir de la interfasse gràfica, i l'altra descrit amb VHDL utilitzant la interfasse de text), per finalment interconnectar-los en una jerarquia superior utilitzant l'editor gràfic.

3.1 Disseny del comptador (interfasse gràfica)

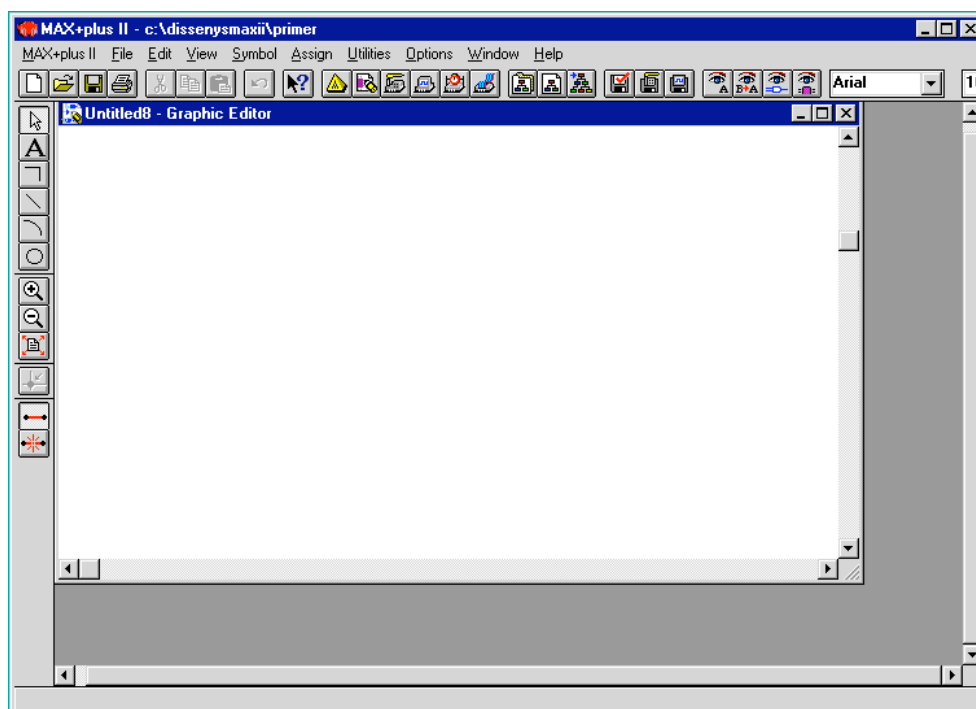
El disseny del comptador es durà a terme, com s'ha comentat anteriorment, utilitzant mòduls de llibreria i interconnectant-los utilitzant la interfasse gràfica de l'eina. Per això es crearà un fitxer tipus *.gdf* que contindrà el disseny d'aquest mòdul.

Per crear aquest fitxer es segueixen els següents passos:

CREACIÓ D'UN FITXER NOU

1. Abans de crear un fitxer des del programa, creeu una carpeta en la que anirem deixant tots els fitxers associats a aquest projecte. Un exemple pot ser "c:\dissenymaxII"
2. Un cop dins el programa, seleccioneu l'opció *New* del menú **File**. Apareix la finestra de diàleg corresponent a *New*.
3. Seleccioneu l'opció *Graphic Editor file*.
4. Seleccioneu l'extensió de fitxer *.gdf* a la llista extensible.
5. Accioneu l'opció *OK*.

Apareix una finestra sense nom corresponent a l'editor gràfic com la que es mostra a la figura. Per tenir més espai de finestra, maximitzeu-la prement el botó adient



6. Per donar nom al mòdul, seleccioneu *Save As* del menú **File**. Apareix una finestra de diàleg.
7. Escriviu compt.gdf en el camp *File Name* que apareix a la part superior de la finestra.
8. Premeu *OK* per salvar el fitxer
9. Especificació del nom del projecte

En el MAX+PLUSII s'ha d'especificar un fitxer de disseny com a projecte en curs abans de procedir a la seva compilació o simulació. MAX+PLUSII només pot processar un projecte alhora i l'usuari s'ha d'assegurar que tots els fitxers de disseny d'un projecte apareguin en la jerarquia d'aquest projecte. És aconsellable doncs crear una carpeta nova per cada projecte que es comenci. Donat que aquest és el primer circuit del disseny, tot i que només en sigui una part, per començar assignarem el nom del projecte a aquest disseny. Posteriorment anirem canviant el nom del projecte a mesura que creem altres mòduls, i finalment el nom del projecte quedarà assignat al fitxer corresponent a la jerarquia superior. Per especificar el nom del projecte seguim els següents passos:

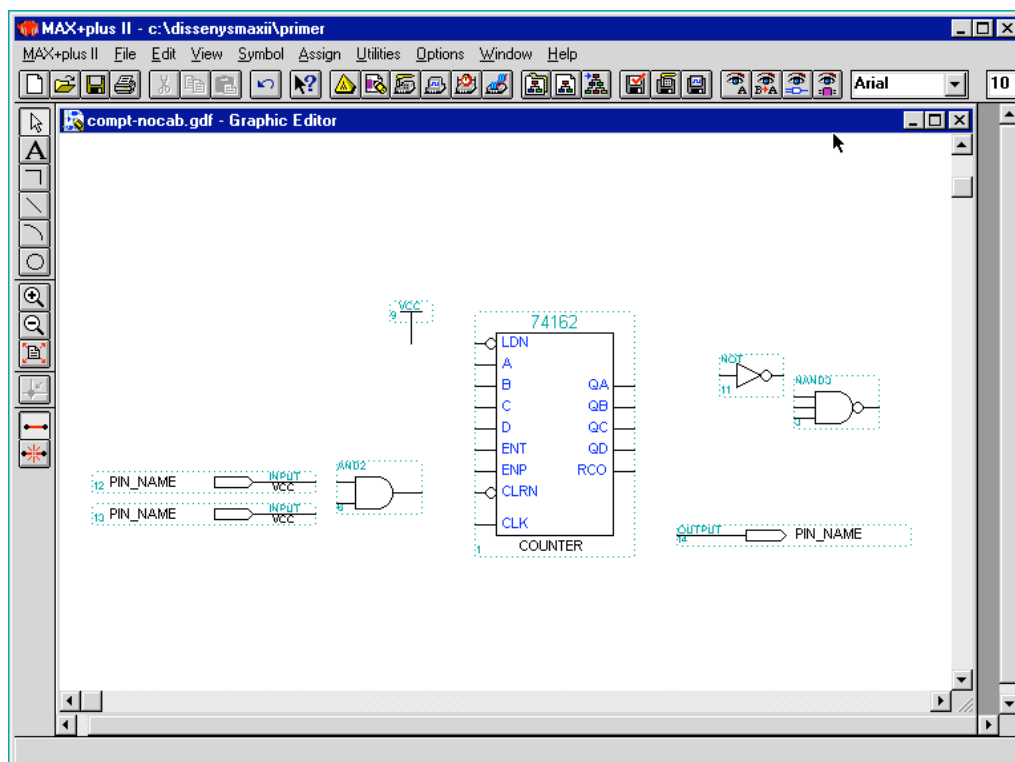
1. Seleccioneu *Name* del submenú *Project* del menú **File**.
2. Escriviu compt.gdf en el camp *Project Name*.
3. Premeu *OK*.

La barra de títol canviarà mostrant el nom del projecte i l'arbre d'accés a la carpeta del projecte.

EDICIÓ DEL DISSENY GRÀFIC

Anem a editar el disseny de l'esquemàtic. Per això seguim els següents passos:

1. En principi el fitxer ha quedat obert, sinó torneu a obrir el fitxer inicial *comptador.gdf*.
2. Amb el punter de selecció premeu dos cops el botó de l'esquerra del ratolí en un espai en blanc dins la finestra gràfica, apareix la finestra *Enter Symbol*. Aquesta opció també es troba sota el menú **Symbol** de la finestra *MAX+PLUS II Manager*.
3. Aneu al directori que indica el camp *Symbol Libraries*: seleccioneu la llibreria
`c:\path_al_maxII\max2lib\mf`
a on "*path_al_maxII*" indica la camí al directori a on s'ha instal·lat el MAX+PLUSII (consulta amb el teu professor de pràctiques quin és aquest camí)
4. En el camp *Symbol Files*: elegeix el comptador 74162, de forma que el seu nom aparegui en el camp *Symbol Name* (sense extensió).
5. Seleccioneu **OK** per a posicionar el comptador en el disseny
6. Repetiu els passos 3 a 4 per agafar els símbols de la porta NAND de 3 entrades, l'inversor (porta not) i la porta AND de dues entrades que es necessiten. Aquestes es troben a la llibreria
`c:\path_al_maxII\max2lib\prim`
7. En aquest pas també haureu de posar els símbols corresponents a terra i alimentació. Un exemple de col·locació és el que es mostra a la figura



EDICIÓ DELS PINS D'ENTRADA I SORTIDA

Per entrar el Pins d'entrada i sortida realitzeu els següents passos:

1. Feu un “doble-click” amb el botó esquerra del ratolí a una zona en blanc del disseny per obrir la finestra de diàleg *Enter Symbol*. Escriviu input en la capsa de *Symbol Name*, i seleccioneu *OK* . El Pin d’entrada apareix.
2. Pitgeu la tecla *Ctrl* del teclat i després el botó de l’esquerra del ratolí. Mentre teniu les tecles pitjades moveu el ratolí per crear una còpia del símbol i deixeu-l’ho sota l’original.
3. Repetiu 1 i 2 per posar un sol símbol de sortida (tipus *output*).

ETIQUETACIÓ DELS PINS

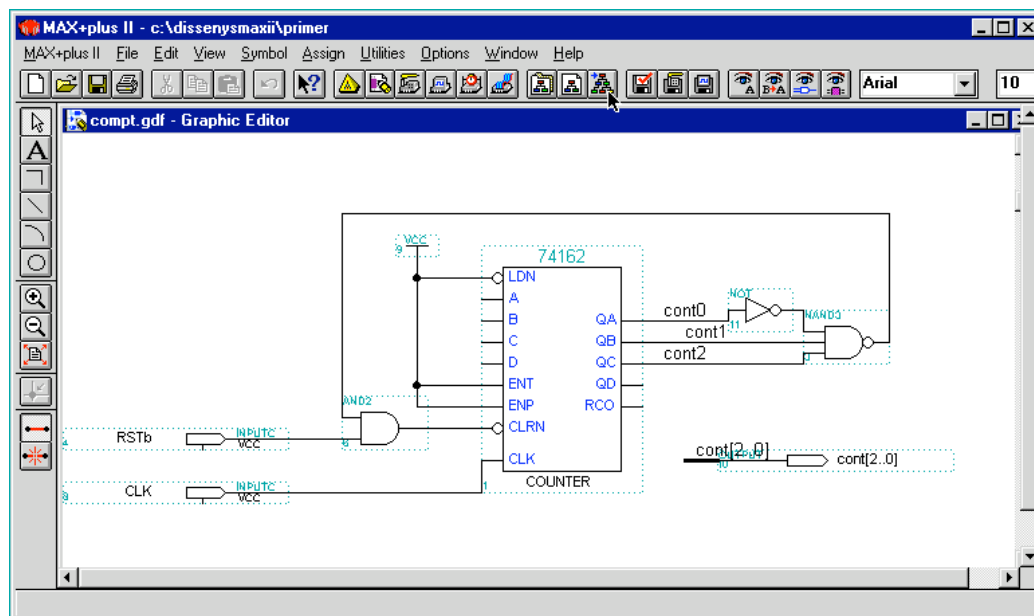
Un cop posats sobre el disseny, anomenarem els Pins:

1. Feu un “doble-click” amb el botó esquerra del ratolí sobre el nom per defecte del Pin de rellotge *PIN_NAME* per seleccionar-ho.
2. Teclegeu el nom clk pel Pin de rellotge. Si a continuació pitgeu la tecla “Enter” o de retorn, activareu automàticament el següent Pin.
3. Per anomenar les sortides poseu el nom *cont[2..0]*, de forma que representem un bus de 3 línies amb els noms *cont2*, *cont1*, i *cont0*.

CONNEXIÓ DELS SÍMBOLS

Per connectar els símbols feis:

1. Seleccioneu del menú **Options** el sub-menú *Line Style* i dins aquest agafeu l’estil de línia sòlida, recomanat per interconnectar nodes.
2. Apunteu a la sortida del Pin de rellotge. El punter de selecció agafa la forma + indicant que esteu en el mode de línia ortogonal.
3. Accioneu el botó de l’esquerra del ratolí per indicar a on comença la línia.
4. Sense amollar el botó desplaçar el ratolí fins a l’entrada de rellotge del comptador.
 - Amb aquest mode de línia només es poden dibuixar línies rectes, o línies amb un sol angle. Si necessiteu fer línies amb més d’un canvi de direcció fes-les com a composició de varies línies d’un sol angle.
 - Per esborrar una línia, pitgeu sobre ella amb el botó de l’esquerra del ratolí per seleccionar-la i després esborreu-la amb la tecla de esborrat del teclat.
5. Realitzeu totes les connexions deixant tres línies a la sortida del comptador que queden sense connectar, i una línia que entra al Pin de sortida, també sense connectar.



La línia que arriba al Pin de sortida ha de ser tipus bus. Per canviar el mode feis:

6. Seleccioneu la línia que arriba al Pin de sortida pitgen sobre ella
7. Seleccioneu el tipus de línia gruixut en el submenú *Line Style* del menú **Options**. La connexió entre les tres línies de sortida del comptador i el pin les realitzarem per nom.
8. Canvieu el tipus i tamany de font a 10-punts Arial en els menús *Text Size* i *Font* del menú **Options**.
9. Amb el punter seleccioneu la sortida QA del comptador (pitgeu sobre la seva línia amb el botó esquer del ratolí), apareix un quadre d'inserció.
10. Teclegeu cont0 . El nom apareix a sobre. Repetiu el mateix pels altres senyals posant els noms cont1 i cont2.
11. Sobre el Pin de sortida feis el mateix i teclegeu cont[2..0]. D'aquesta forma, tot i que els senyals no estiguin connectats sobre el dibuix, hi estan elèctricament.

EMMAGatzAMENT I VERIFICACIó DEL DISSENY

Per assegurar que el disseny és correcte:

1. Elegiu *Project Save & Check* del menú **File**. El fitxer es salva i s'obri la finestra de compilació del MAX+PLUSII. El compilador i extractor de *netlist* verifica si hi ha errors al disseny i mostra un missatge indicant el número d'errors realitzats.
2. Si no teniu errors tanqueu la finestra de compilació.
3. Si teniu errors, corregiu-los.

CREACIó D'UN SÍMBOL

Un cop verificat el disseny crearem un símbol per aquest circuit (fitxer tipus *.sym*) per a la seva posterior utilització en una jerarquia superior.

1. Per a crear un símbol per defecte elegiu *Create Default Symbol* del menú **File**.
2. Tanqueu el fitxer elegint *Close* del menú **File**.

3.2 Disseny del multiplexor (interfasse text per VHDL)

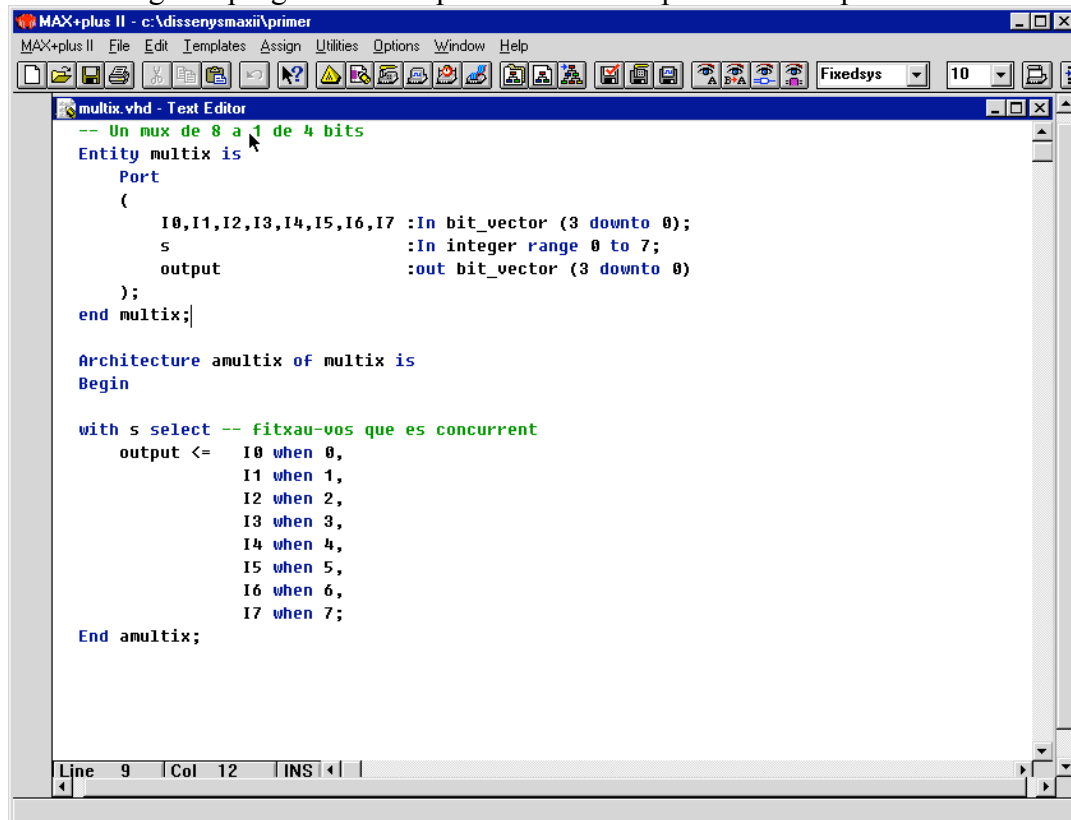
Els fitxers de descripció VHDL es poden entrar amb l'editor del MAX+PLUSII o amb qualsevol altra editor text que utilitzi caràcters ASCII. Si utilitzeu editors tipus "Word" recordeu que heu de salvar el fitxer com a "només text".

Per editar des del MAX+PLUS II seguiu els següents passos:

1. Seleccioneu *New* del menú **File**.
2. Seleccioneu l'opció *Text Editor File* i premeu *OK*.
3. En el menú **File** seleccioneu l'opció *Save As* i escriviu el nom multix.vhd. Per defecte l'editor utilitza diferents colors dependent del significat de les instruccions:

Blau	->	paraula clau de VHDL
Verd	->	Comentari
Negre	->	Paraules d'usuari
Vermell	->	Paraula clau del MAX+PLUS II

4. Escriviu el següent programa corresponent a un multiplexor de 8-1 paraules de 4 bits.



```
-- Un mux de 8 a 1 de 4 bits
Entity multix is
  Port
  (
    I0,I1,I2,I3,I4,I5,I6,I7 :In bit_vector (3 downto 0);
    s                        :In integer range 0 to 7;
    output                  :out bit_vector (3 downto 0)
  );
end multix;

Architecture amultix of multix is
Begin

with s select -- fitxau-vos que es concurrent
  output <=  I0 when 0,
             I1 when 1,
             I2 when 2,
             I3 when 3,
             I4 when 4,
             I5 when 5,
             I6 when 6,
             I7 when 7;

End amultix;
```

5. Activeu l'opció *Set Project to Current File* del submenú *Project* del menú **File**.
6. Genereu un símbol per defecte igual que en cas anterior.

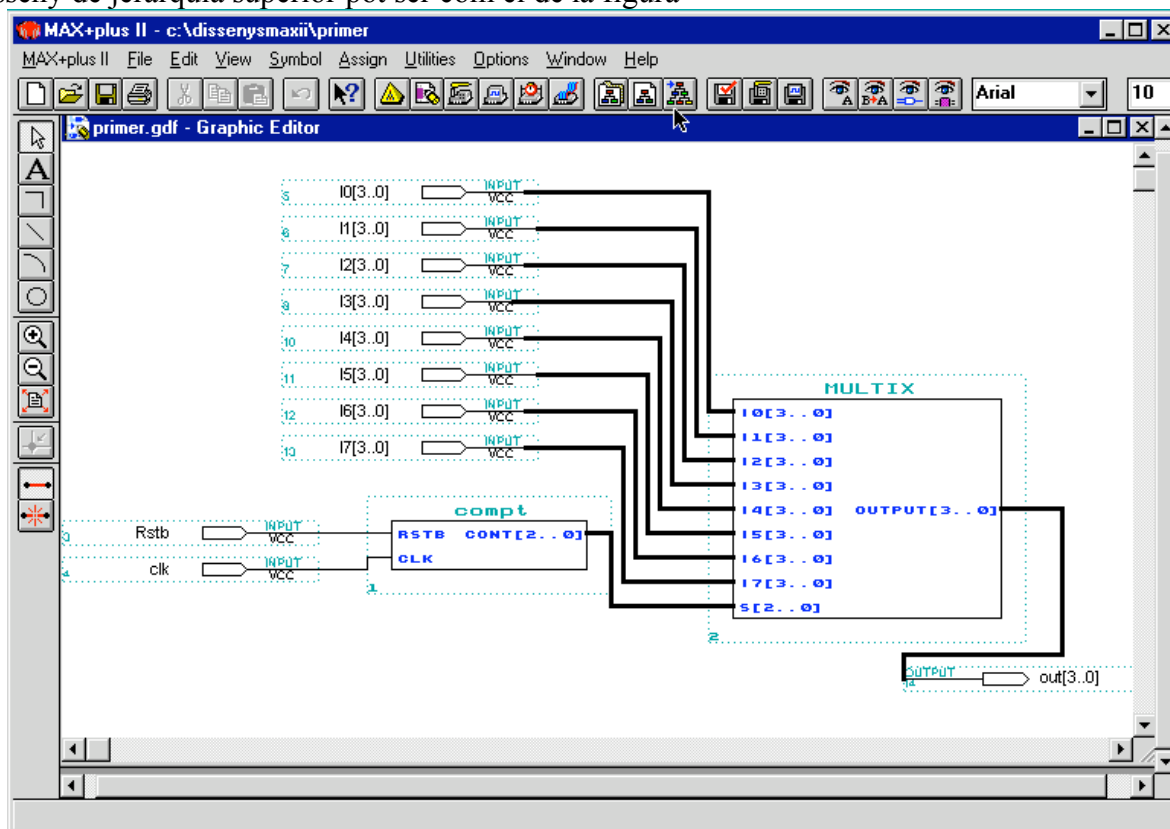
3.3 Creació del fitxer de jerarquia superior

Un cop hem creat i simulat per separat cada un dels circuits, procedirem a la seva interconnexió en un disseny de jerarquia superior. Per això cal repetir els passos I a VII realitzats pel comptador.

1. Creeu un fitxer gràfic (GDF) en el mateix directori o carpeta a on hi ha els altres. Un nom pot ser primer.gdf

2. Especifiqueu el nom del projecte com primer. Això es pot fer bé prement sobre el botó **Project set Project to Current File** que està en barra de menús superior de la finestra, bé prement la combinació de tecles *Ctrl+Majuscula+J*.
3. Entreu els símbols per dibuixar l'esquemàtic (els blocs dissenyats anteriorment i els pins d'entrada i sortida que necessiteu).
4. Doneu el noms als Pins
5. Realitzeu les connexions entre els nodes i els Pins. Per connectar dues línies que es creuen s'han d'utilitzar punts de connexió o **Connection Dots**. En general els *Dots* apareixen automàticament, sinó és així piqueu amb el botó de l'esquerra del ratolí sobre la intersecció de dues línies i després activeu l'opció *Toggle Connection Dot* del menú **Edit**.
6. Si voleu interconnectar nodes pel nom, no oblideu d'assignar el mateix nom a les línies adients.

El disseny de jerarquia superior pot ser com el de la figura



Un cop dissenyat tot el circuit es pot procedir a la seva compilació per la posterior simulació. Donat que l'eina de disseny MAX+PLUS II està orientada a la programació de dispositius del fabricant Altera, durant aquesta fase s'assigna la família del dispositiu sobre el es planeja implementar el disseny. Tot i que en aquesta primera pràctica no està previst la implementació sobre Hardware del disseny, s'ha d'elegir una família per implementar el circuit. La família que utilitzarem és la MAX7000.

COMPILACIÓ DEL DISSENY

1. Seleccioneu l'opció *Compiler* del menú **MAX+PLUS II**. La finestra de compilació apareix
2. Elegiu *Device* del menú **Assign**. Apareix la finestra *Device*.
3. Seleccioneu **MAX7000S** en el camp *Device Family*.
4. Seleccioneu **AUTO** en el camp *Devices*.

5. Premeu *OK*.
6. En el menú **Processing** activeu l'opció *Smart Recompile*.
7. En el mateix menú seleccioneu *Design Doctor*. Aquesta opció verifica problemes de fiabilitat en el disseny.
8. Seleccioneu *Design Doctor Settings* del menú **Processing**. Seleccioneu *EPLD Rules* i premeu *OK*.

En aquest punt indicarem a l'eina que generi tota la informació necessària per a realitzar una posterior simulació temporal del circuit. En concret el compilador genera un fitxer de simulació netlist amb l'extensió (*.snf*) que utilitzarem posteriorment.

9. Elegiu *Timing SNF Extractor* del menú **Processing**.
10. Enguegueu el compilador activant el botó *Start* de la finestra de compilació.
11. Quan el compilador ha passat totes fases fins arribar a la última d'*Assembler*, la finestra de compilació indica els fitxers que s'han generat a cada pas. El compilador també informa sobre quin ha estat el dispositiu concret que ha seleccionat.
12. Si no hi ha errors feis *OK*. En aquesta pràctica no analitzarem la causa del possibles *Warnings* que pugui donar el simulador.
13. Tanqueu la finestra del compilador.

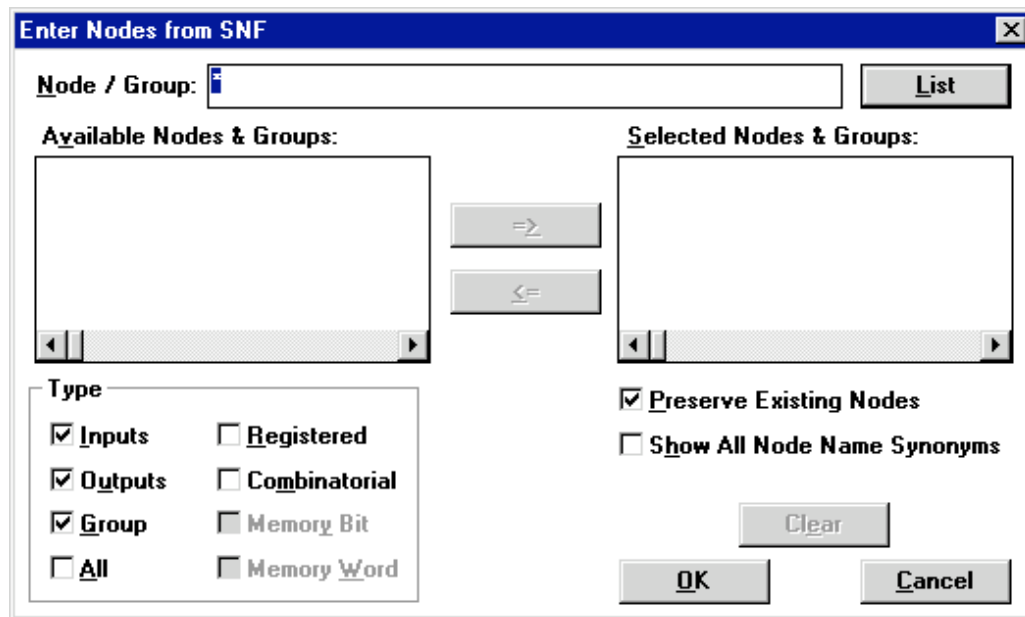
3.4 Simulació del disseny

En aquest apartat realitzarem una simulació temporal del disseny per verificar el seu funcionament. En primer lloc aprendrem a utilitzar l'editor de formes d'ona creant i editant un fitxer de canal de simulació (*.scf*).

CREACIÓ D'UN FITXER DE CANAL DE SIMULACIÓ (SCF)

En primer lloc es crea el SCF que conté alguns o tots els nodes del fitxer de simulació netlist (*.snf*) pels projectes compilats. Les passes per crear un fitxer SCF per defecte són:

1. Seleccioneu *New* del menú **File**, després seleccionar *Waveform Editor file*, seleccionar l'extensió *.scf* de la llista desplegable i premeu *OK* per crear un fitxer nou sense nom.
2. Seleccioneu *End time* del menú **File** i entreu un temps de 950ns. Això determina els temps al que el simulador s'atura d'aplicar estímuls d'entrada.
3. Elegiu *Grid Size* del menú **Options**, entreu 50ns i premeu *OK*.
4. Elegiu *Enter Nodes from SNF* del menú **Node**. Apareix la següent pantalla



5. Elegiu *List* per veure els nodes disponibles d'entrada (I) i sortida (O).
6. Seleccionen els nodes que vulgueu veure (totes les entrades i sortides) i pitgeu sobre el botó ($\Rightarrow$) per passar-los a la finestra *Selected Nodes & Groups*.
7. Seleccionen *OK*. L'editor mostra els senyals amb totes les entrades posades al valor baix (0) i totes les sortides indefinides (X).
8. Si en algun moment voleu afegir algun node addicional, pitgeu dos cops en un lloc buit dins l'àrea a on es mostren els noms i apareixerà una finestra amb el títol *Insert Node*. La utilització d'aquesta finestra és anàloga a la del cas anterior.
9. Per veure to el temps de simulació piqueu sobre l'icona  de la barra de menús.

EDICIÓ DE LES FORMES D'ONA D'ENTRADA

Per editar les formes d'ona feis el següent:

1. Amb l'eina de selecció, pitjau amb el botó de l'esquerra del ratolí en el camp a on es mostren els valors pel senyal d'entrada *rst* i a partir de 50 ns i elegiu *Overwrite High (1)* del menú **Edit**. Això desactivarà els senyal de reset a partir d'aquest temps, per a que el comptador pugui incrementar-se.
2. Per crear un senyal de rellotge amb de forma que canviï de valor amb un temps igual al valor seleccionat pel tamany de *grid* (50 ns, és a dir un període de 100ns), seleccionen tota la forma d'ona *clk* amb el botó de l'esquerra del ratolí sobre Clk i seleccionen *Overwrite Clock* del menú **Edit**. Elegiu *OK* per seleccionar el valor per defecte.
3. Assignen un valor constant diferent a cada un dels conjunts de 4 bits d'entrada del multiplexor, per tal d'identificar posteriorment quina entrada es mapetja a la sortida. Per diferenciar les entrades del multiplexor i identificar quina d'elles passa a la sortida, doneu un valor Hexadecimal constant diferent a cada una d'elles. Per això seleccionen una entrada, i per assignar-li el valor premeu el botó  de la barra de menús. Escriviu el valor desitjat en la finestra que apareix.
4. Guarden la simulació.

SIMULACIÓ DEL CIRCUIT

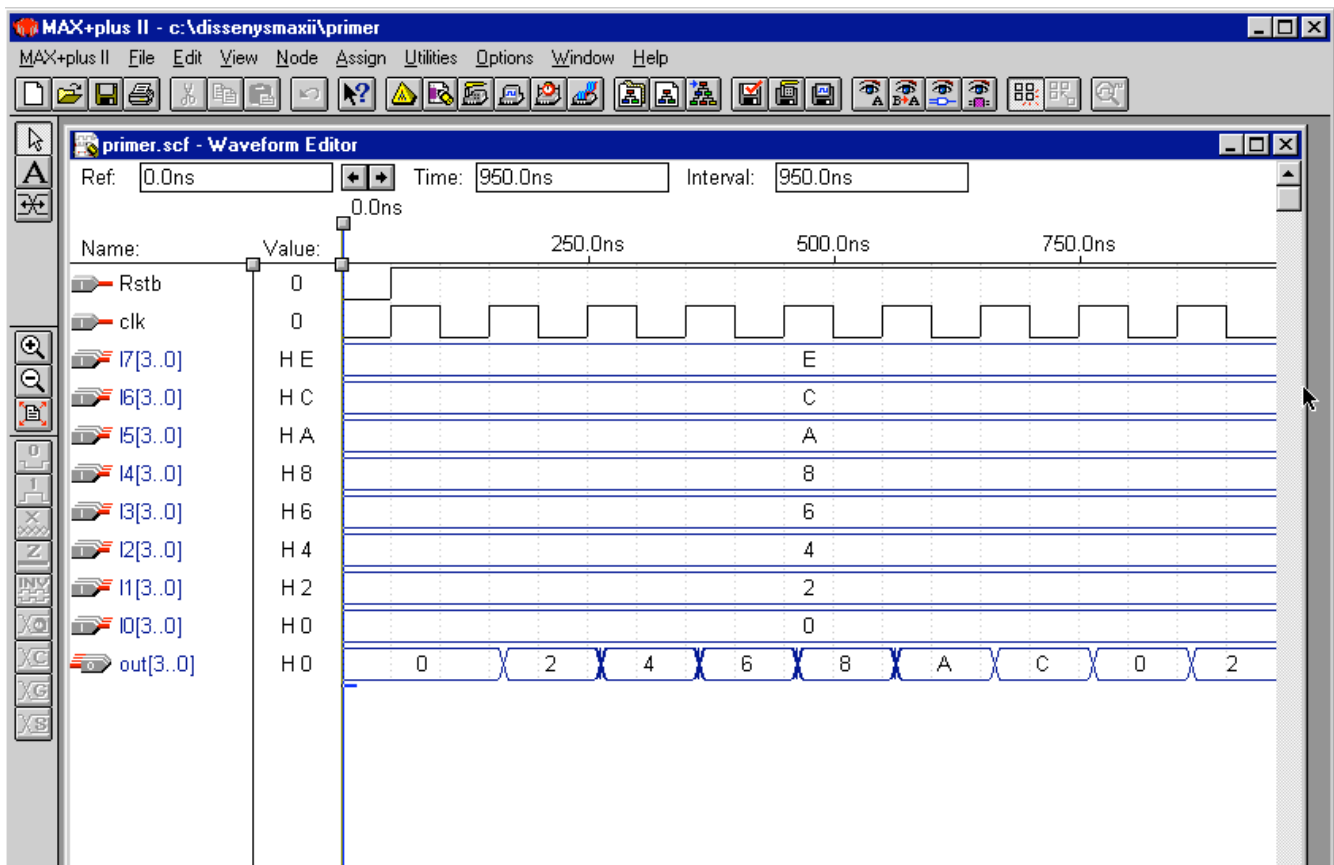
El simulador utilitza un Fitxer de canal de simulació (.scf) o un fitxer vector (.vec) com entrada per a la simulació. Seguiu els passos següents:

1. Obriu la finestra de simulació, per això elegiu *Simulator* del menú **MAX+PLUS II**. El fitxer de netlist de simulació (.snf) del projecte actual (generat a la compilació del projecte) es carrega automàticament, així com el fitxer de canal de simulació (.scf) que tingui el mateix nom que el projecte.
2. Especifiqueu fitxer addicionals entrada/sortida. La comanda *Inputs/Outputs* del menú **File** permet especificar el fitxer d'entrada per la simulació (cas de no ser el que es carrega per defecte), i fins a dos fitxers addicionals de sortida: el fitxer d'Història (.hst), i el fitxer Log (.log). El fitxer d'història grava totes les comandes, opcions i botons que es fan servir durant la simulació. Les comandes de sortida i missatges generats durant la simulació també es guarden. El fitxer Log emmagatzema la mateixa informació sense les comandes de sortida. D'aquesta forma es pot renombrar el fitxer Log amb l'extensió .cmd per utilitzar-ho com a Fitxer de Comandes (.cmd) per a repetir la simulació en mode cua (batch). Elegiu *Inputs/Outputs* del menú **File** i activeu les opcions *History* i *Log*.
3. Es pot monitoritzar el disseny per verificar si es produeixen violacions dels temps de “set-up” o de “Hold”. Activeu l'opció *Setup/Hold* a la finestra de simulació.
4. Premeu el botó *Start*.
5. Quan el simulador acaba mostra una finestra amb informació relativa a la simulació.

ANÀLISI DELS RESULTATS DE SIMULACIÓ

Un cop realitzada la simulació es torna a obrir la finestra gràfica per observar el resultat.

6. Seleccioneu el botó *Open SCF* en la finestra del simulador. La finestra que s'obri conté l'evolució de les entrades tal com les havíem especificat en l'apartat X, i amb les sortides corresponents al resultat de la simulació.
7. Per conèixer l'instant de temps en el que es dona una transició agafeu el cursor de referència localitzat per defecte en el temps 0.0ns i arrosegau-l'ho fins al punt d'interès.
8. Utilitzeu els botons  i  per atracar-vos o allunyar-vos del marcadore. Analitzeu com es fan les transicions i intenteu esbrinar-ne el significat.



Implementació del disseny realitzat en Hardware: Compilació

En aquest apartat es mostren les passes a seguir per programar les FGPA's de la placa, assignant abans els senyals d'entrada/sortida del disseny al pins desitjats.

Prèviament s'ha d'haver compilat amb èxit un disseny definitiu (tot indicant el dispositiu on s'ha de programar el disseny). Per elegir dispositiu hem de fer les següents passes:

- 1 Elegiu *Device* del menú **Assign**. Apareix la finestra *Device*.
- 2 Seleccionau **MAX7000S** en el camp *Device Family* si heu de programar la MAX o **FLEX10K** si heu de programar la flex
- 3 De-seleccionau l'opció "Show only the Fastest Speed Grades"
- 4 A l'opció *Devices* seleccionau el dispositiu "EPM7160SLC84-10" per la MAX

Premeu **OK**.

Per a l'assignació de pins en el dispositiu que es vol programar s'utilitza el *Floorplan Editor* de l'eina MaxPlusII. Per obrir aquest editor seguiu les passes següents:

Seleccionau *Floorplan Editor* del menú MAX+PLUSII. Amb això obriu l'editor de *floorplan* amb la vista de l'últim projecte compilat d'acord amb el dispositiu que havíeu seleccionat en compilar aquest disseny. La finestra es com la que es mostra a la Fig. 1, i mostra l'assignació que ha fet per defecte el compilador de les entrades/sortides del circuit sobre els pins dels dispositius. Verifiqueu que el dispositiu seleccionat durant la compilació (apareix al camp superior esquerra del *Floorplan Editor*) sigui el dispositiu de la família MAX7000 que hi ha a la placa. Si piqueu dos cops el ratolí en una zona buida d'aquesta FINESTRA passeu a la representació física de l'encapsulat del dispositiu. Si feis el mateix torneu a la finestra original.

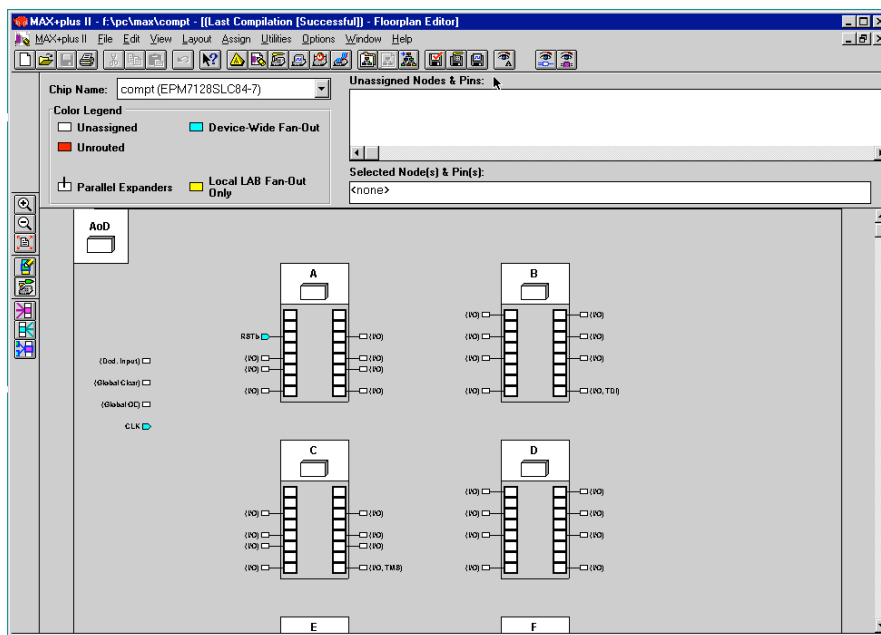
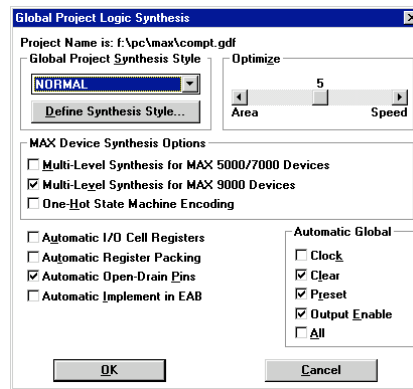


Fig. 1. Finestra del *Floorplan Editor* .

Les assignacions que mostra el *Floorplan Editor* es troben emmagatzemades al fitxer d'assignacions i configuracions (amb l'extensió .acf). Un cop compilat el projecte es poden editar les assignacions per defecte del compilador (que es troben al fitxer amb extensió .fit) fent el que s'anomena un *backannotation* del projecte canviant les assignacions del compilador. Per fer anotació retrospectiva feis:

1. Del menú *Assign* elegir *Back-Annotate Project*. S'obri la finestra de diàleg.
2. Activeu les opcions *Chips, Logic Cells, Pins & Devices* sota *Anotate to ACF*, per reassignar les opcions que volem.
3. Premeu Ok. El programa copia les assignacions de dispositiu, pins, cel·les lògiques i xip del fitxer Fit en el ACF, sobreescrivint les assignacions prèvies.
4. Elegiu *Current Assignments Floorplan* del menú *Layout*. La finestra del *Floorplan Editor* mostra les assignacions actuals del projecte (que encara no hem canviat).
5. Elegiu *Pin/location/chip* del menú *Assign*. La finestra *Pin/location/chip* mostra les assignacions actuals del projecte (que encara no hem canviat). A cada entrada o sortida li podem canviar pel número d'opció que volem (a l'opció pin posem el número de pin que volem i el canviem amb el botó *change*). Finalment pitgem el botó ok.
6. Quan acabem de fer les assignacions passem a compliar el disseny una altre vegada.



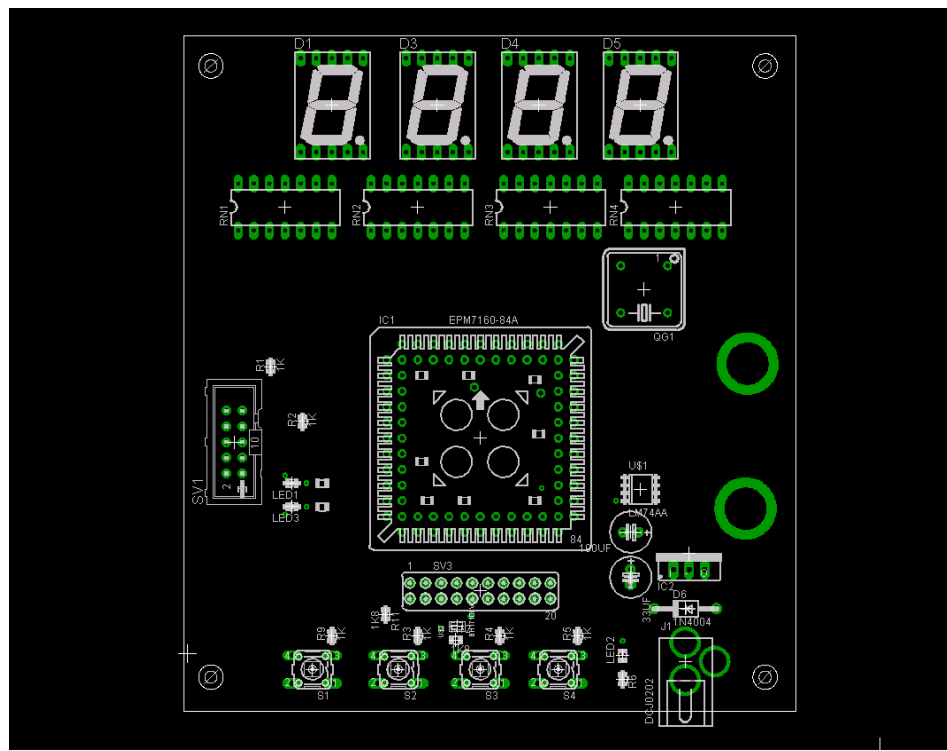
Un cop hem assignat els Pins tal com volem passarem a programar el dispositiu.

PLACA DOCENT D'ELECTRÒNICA DIGITAL

Josep L. Rosselló y Vicens Canals
Maig 2009

Resumen

En la present placa s'integra una CPLD d'ALTERA del tipus MAX160S junt amb quatre displays de set segments, un sensor de temperatura LM-74, un sensor de luminositat BH1710FVC, dos leds, quatre polsadors i un rellotge de 32MHz.



Correspondència de pins de la placa

Displays de set segments. Activus per nivell alt. Correspondència dígit-pin.

DIGIT 1	
a	17
b	15
c	16
d	18
e	21
f	20
g	22

DIGIT 2	
a	5
b	4
c	8
d	9
e	10
f	11
g	12

DÍGIT 3	
a	73
b	74
c	75
d	76
e	77
f	80
g	81

DÍGIT 4	
a	64
b	63
c	65
d	67
e	68
f	70
g	69

Relloctge de 32MHz conectat al pin 83.

Sensor de temperatura LM-74. Correspondència amb els pins de la CPLD.

LM-74	
SI/O	61
SC	58
NCS	60

Sensor de luminositat BH1710FVC. Correspondència amb els pins de la CPLD. (Protocol I²C).

BH1710FVC	
DVI	35
ADDR	34
SCL	28
SDA	27

Botons (Actius per nivell baix)

Botons	
B1	33
B2	40
B3	44
CLR	1

Leds (Actius per nivell alt)

Leds	
Led 1	25
Led 2	24

Conector de 20 connexions. Correspondència amb els pins de la CPLD

LM-74			
Agujero	Pin	Agujero	Pin
1	29	11	45
2	27	12	48
3	30	13	49
4	28	14	50
5	31	15	51
6	34	16	52
7	36	17	55
8	35	18	57
9	37	19	54
10	41	20	56

Pràctica 1 (2 punts)- Blocs combinacionals

Implementa en la placa docent un sistema que, a partir de dos nombres de vuit bits et doni el nombre major dels dos.

Práctica 2 (3 punts)- Blocs seqüencials

Implementa en la placa docente un comptador de segons i minuts.

Práctica 3 (5 punts)- Blocs seqüencials

Implementa en la placa docent un sistema que sigui capaç de lletgir la temperatura del sensor LM-74 i els mostri pels displays de 7 segments.