

PRÀCTICA 2 DISSENY D'UN RELLOTGE DIGITAL

EXPERIMENTACIÓ EN ELECTRÒNICA

LICENCIATURA EN FÍSICA

Objectiu

L'objectiu de la pràctica és el disseny, simulació i implementació sobre la placa UP1 d'Altera d'un petit sistema digital. Per fer això teniu dues opcions:

Donat que es té accés a l'eina de disseny i simulació, convé tenir el disseny global verificat quan abans, de forma que es disposi de més temps al laboratori per a la verificació del funcionament del *Hardware*.

1.1 Disseny d'un rellotge digital

La pràctica consisteix en dissenyar un rellotge digital que tengui les següents funcions:

- Hora
- Alarma
- Crono

El rellotge tindrà quatre botons anomenats

F (Funció)	P2 (Secundari)
P1 (Primari)	C (Rellotge)

i disposarà d'una pantalla de visualització que té quatre displays tipus "seven segments" agrupats de dos en dos, i setze LEDs.

a) El botó de Funció (F) canvia el mode d'operació que es visualitza seguint la seqüència:

Hora → Alarma → Cronòmetre → Hora → Alarma, etc..

b) El sistema se resetetja (**els registres es posen a zero i el sistema es situa al mode d'operació Hora-Visualització**) quan els botons P1 i P2 son accionats simultaneament.

La funció de P1 i P2 depèn del mode d'operació:

1.1.1 Mode d'operació Hora

Les especificacions bàsiques en aquest mode d'operació són les següents.

- En l'estat funcionament el rellotge mostra l'hora amb el format HH MM SS, a on HH (que es representa en mòde 0-23) indica l'hora i MM els minuts. Aquests s'han de visualitzar en els *seven segments*, mentre que els segons SS, es visualitzen en els LEDs (deu per les unitats de segón, i sis per les decenes de segón). El sistema treballa com un rellotge convencional.
- En l'estat càrrega l'usuari introdueix l'hora desitjada i el rellotge no canvia la dada introduïda fins que no surt d'aquest mode. En l'estat de càrrega els visualitzadors *seven segments* parpadejen a una freqüència d'un Hz i els segons es posen a zero.
- Quan s'entra en el mode d'operació Hora amb el botó de Funció (F), **el rellotge es troba per defecte en l'estat funcionament**.
- Si durant el mode Hora l'usuari acciona el botó P1 el rellotge entra en el mode càrrega. Quan es torna a accionar el botó P1 es surt de l'estat de càrrega tornant a l'estat de funcionament.

- e) Un cop en l'estat de càrrega, quan es manté accionat el botó P2 el valor visualitzat abans d'entrar en aquest estat s'incrementa a raó d'una unitat de minut per segon. Per aixó el botó P2 s'ha de mantenir accionat contínuament.

1.1.2 Mode d'operació Alarma

Les especificacions bàsiques en aquest mode d'operació són les següents.

- a) L'estat de visualització mostra l'hora a que s'ha posat l'alarma en el format HH MM, sobre els *seven segments*. Els LEDs estan sempre apagats.
- b) L'estat de càrrega és anàleg a l'estat de càrrega del mode d'operació Hora, i els visualitzadors *seven segments* parpadejen a una freqüència d'1 Hz.
- c) Quan s'entra en el mode d'operació Alarma amb el botó de Funció (F), **el rellotge es troba per defecte en l'estat de visualització**.
- d) Quan el valor de l'alarma coincideix amb l'hora del rellotge, l'alarma (que s'activa amb el senyal de sortida ALARMA) es fa sonar durant un minut. Quan aixó ocorre s'activa un dels LEDs del sistema.

1.1.3 Mode d'operació Cronòmetre

En aquest mode d'operació es visualitza MM SS CC, a on MM correspon a minuts, SS a segons i CC a centèsims de segon. En aquest cas els *seven segments* visualitzen SS i CC, mentre que els minuts es visualitzen pels LEDs. Per tant es podrà cronometrar un màxim de 16 minuts. El mode d'operació té tres estats: start, stop i reset.

- a) El mode start s'activa accionant P1 i incrementa les unitats de centèsims de segon cada centèsims de segon.
- b) El mode stop s'activa accionant P2 i atura el comptatge del cronòmetre
- c) El mode reset posa el cronòmetre a zero i s'activa accionant simultàniament P1 i P2.

1.1.4 Selecció del la freqüència de rellotge

El sistema ha de poder funcionar a quatre freqüències distintes. Quan s'acciona el botó C es canvia de freqüència. Aquestes freqüències han de estar seleccionades entre una freqüència mínima de 100Hz (freqüència normal d'operació on el rellotge i el cronòmetre funcionen correctament) i una freqüència màxima on un dia normal passa aproximadament cada 15 segons.

1.1.5 Indicacions Generals

Dissenyau el circuit que implementi el rellotge seguint les següents regles:

Es suposa que els senyals F, P1, P2 i C estan per defecte a 1. Quan un botó s'acciona s'entén que el senyal va a 0 i torna a 1 quan es deixa de pitjar. El reset P1+P2, posa totes les funcions a 0.

Dissenyau una màquina d'estats que implementi un mòdul auxiliar de forma que depenent de F transfereixi el control dels visualitzadors al mòdul que controla el mode d'operació corresponent.

Dissenyau el rellotge a partir de sis grans subblocs, un per cada mode d'operació, un per la part de *display*, més el mòdul auxiliar de control. Els subblocs es poden dissenyar de forma independent tot i que poden compartir entrades i/o sortides i alguna sortida d'un bloc pot governar el funcionament d'un altre bloc.

Com s'ha vist en la pràctica anterior, el Max+Plus II permet tres tipus d'especificació d'un circuit:

- Utilització de mòduls estàndar MSI
- Descripció VHDL tipus comportament
- Descripció VHDL tipus estructural

Per facilitar l'ajut del Professor/a de pràctiques, es donaran indicacions sobre el tipus de descripció que s'ha d'utilitzar per cada bloc.

1.1.6 Indicació sobre mòduls bàsics

Feïs primer un disseny d'alt nivell. Un cop estigui clara la distribució a nivell de grans blocs, procediu a implementar els elements bàsics.

En la concepció dels mòduls, convé utilitzar una codificació tipus BCD, ja que els valors s'han de visualitzar sobre *seven segments*. Donat que el sistema horari no utilitza un sistema decimal, és necessari dissenyar mòduls de comptatge bàsics en mòdul 10, mòdul 6, i mòdul 24. Cada sistema de comptatge ha de transferir un senyal tipus RCO al mòdul superior (les centèssimes als segons, els segons als minuts, els minuts a les hores, etc.). En alguns casos el senyal RCO s'haurà de dissenyar específicament.

1.1.7 Documentació

S'ha de presentar la següent documentació:

- Un CD amb tots els fitxers utilitzats per fer el disseny.
- Una impressió del disseny en mode jeràrquic: en el primer full, l'esquema global del disseny. En els fulls successius la descripció de cada bloc seguint una aproximació tipus *top-down*.
- A l'ordinador a on presenteu la pràctica hi han d'haver totes les simulacions de tots els blocs que hagueu acabat.
- Si no heu acabat tot el disseny, teniu preparats els mòduls finalitzats de forma que es puguin carregar per separat dins algun dels dispositius programables.

Cada membre del grup ha d'ésser capaç d'explicar cada una de les parts del disseny del circuit.

1.1.8 Avaluació de la pràctica

L'avaluació de la pràctica se realitza de la següent manera.:

1.- **Si se programa la placa.** Totes les especificacions del disseny s'han d'implementar correctament. Per cada especificació que no es compleixi tindrà una penalització de mig punt al comput global de la nota de la pràctica. **Cada membre del grup ha de ser capaç d'explicar correctament tot el funcionament del seu disseny.**

2.- **Si no se programa la placa.** Es presenten impreses per separat totes les simulacions de cada mòdul (de forma que les simulacions siguin comprensibles i es vegui que es compleixen totes les especificacions). La no implementació en placa implica una penalització de quatre punts. Per cada especificació que no es compleixi tindrà una penalització de mig punt al comput global de la nota de la pràctica. **Cada membre del grup ha de ser capaç d'explicar correctament tot el funcionament del seu disseny.**

APÈNDIX: MÒDUL DE CIRCUITS ANTIRREBOT (MÒDUL D'AJUT)

Per poder introduir un sol impuls de sincronisme a la entrada d'un rellotge, no es poden utilitzar els pulsadors de la placa de manera directa ja que es produeixen rebots, això és: en lloc d'obtenir un sol impuls com es desitja, obtenim un conjunt d'impulsos fins que el pulsador s'estabilitza.,

A més, s'ha de tenir en compte que en els circuits que dissenyarem hi ha un senyal de rellotge. Si per exemple aquest senyal és de 25MHz, això implica que per pitjar una sola vegada durant un període de rellotge, la durada del pols hauria d'ésser de $0.4\mu s$, la qual cosa és impossible. D'aquesta forma el que farem és transmetre un sol pols quan pitjam una vegada per llarga que sigui (només aplicable als botons que controlen estats com F i P1). Per tal d'evitar aquesta problemàtica utilitzarem un circuit antirebots.

Metodologia

Dissenyau un comptador amb l'entrada de rellotge connectada directament a un pulsador de la placa (Fig. 1) i després repetir el disseny, intercal·lant el circuit antirebots (Fig. 2).

- Dissenyau i programau a la placa el circuit de la figura i visualitzau la sortida del comptador a un *seven segments*, tenint en compte que heu d'afegir, a més, un decodificador. Observau l'efecte de rebot del pulsador: cada cop que presionau un cop el visualitzador no incrementa de un en un. Podeu emprar el comptador de la primera pràctica.

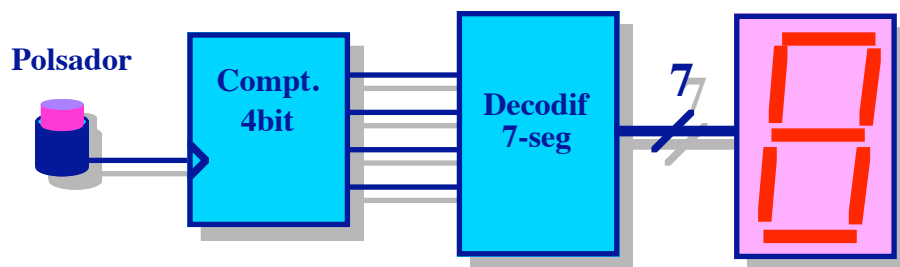


Figura 1. Circuit visualitzador del número de cops que s'ha activat el pulsador (sense circuit antirebot)

- Repetiu el disseny del punt anterior intercalant entre el pulsador i el comptador el circuit antirebots detallat a continuació. Programau-lo a la placa i observau l'efecte.

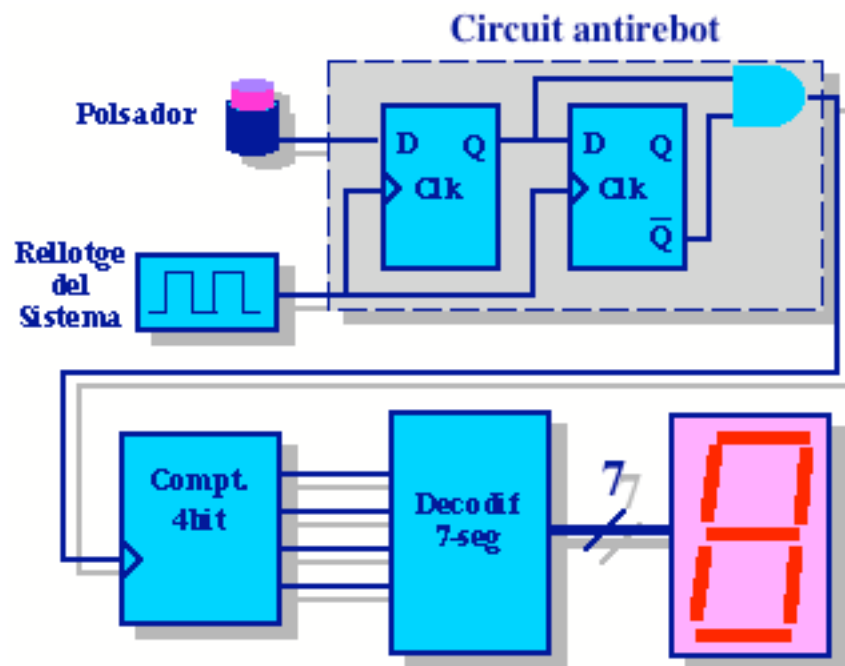


Figura 2. Circuit visualitzador del número de cops que s'ha activat el pulsador amb circuit antirebot

El primer flip-flop D sincronitza el rellotge amb el pulsador i la resta del circuit ens assegura que el sistema no interpreti una pitjada al pulsador com a varies ,per molt de temps que mantenguem el pulsador pitjat.

