

Tema 7. El Transistor Efecte Camp (FET)

- 1. Introducció
- 2. Transistor JFET
 - 2.1. Introducció
 - 2.2. Descripció qualitativa de funcionament
 - 2.3. Corbes característiques
 - 2.4. Exemples
- 3. Transistor MOSFET
 - 3.1. Introducció
 - 3.2. Tipus de MOSFETs
 - 3.3. Teoria qualitativa del MOS
 - 3.4. Deducció de les equacions
 - 3.5. Models Dinàmics i Models de simulació SPICE
 - 3.6. Exemples
 - 3.7. Models de petit senyal

1. Introducció

- Transistors FET (Field Effect Transistor): dispositius semiconductors on el corrent que els travessa es controla mitjançant una tensió
- Dos tipus de FETs
 - D'unió (JFET)
 - Canal n i canal p (nFET i pFET)
 - Metal Òxid Semiconductor (MOSFET)
 - D'acumulació (canal n i canal p – NMOS i PMOS)
 - De buidament (canal n i canal p – NMOS i PMOS)
- Avantatges
 - Altes impedàncies d'entrada 10^7 a $10^{12} \Omega$
 - Fabricació més senzilla i integrabilitat molt gran
 - Capacitat d'entrada molt gran (enmagatzemar càrrega, memoritzar tensió)
 - CMOS, consum extremadament baix en estàtica
- Desavantatges
 - Capacitat d'entrada gran, disminució velocitat operació
 - Problema d'electricitat estàtica, rotura dels òxids de les portes

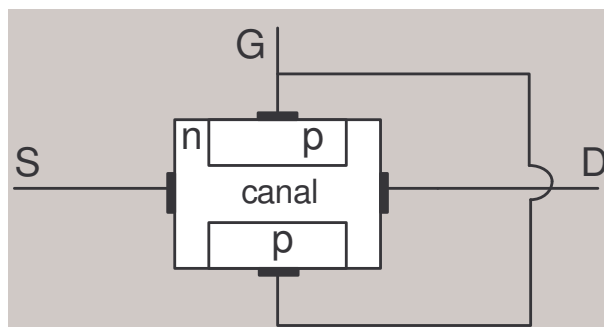
2. Transistors JFET. Introducció

- El JFET (Junction Effect Transistor) és un dispositiu de tres terminals
 - Porta (G, gate)
 - Drenador (D, drain)
 - Sortidos (S, source)
- Hi ha 2 tipus de JFET
 - De canal n (corrent degut a aelectrons)
 - De canal p (corrent degut a forats)
 - MOLT POC FREQUENT !!!
- Els terminals D i S poden ser intercanviables
- O no (en aquest cas es sol posar símbol asimètric



2.1. Estructura del JFET

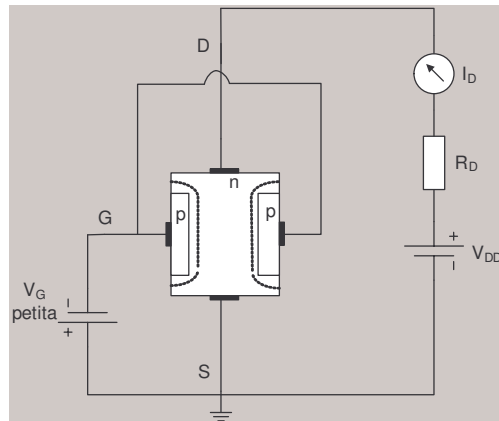
- Estructura física



- Com veurem, el corrent circulant del drenador al sortidor està controlat per la tensió de porta (porta-sortidor)

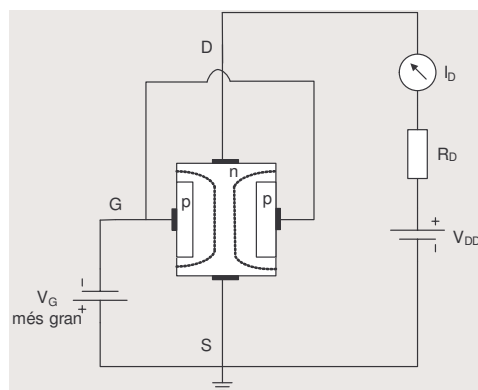
2.2.Descripció qualitativa funcioanment

- L'ample del canal depèn de l'ample de la zona de buidament
- Si V_G petit,
 - díode poc en inversa,
 - zona buidament petita,
 - canal ample,
 - resistència del canal petita,
 - intensitat drenador-sortidor gran



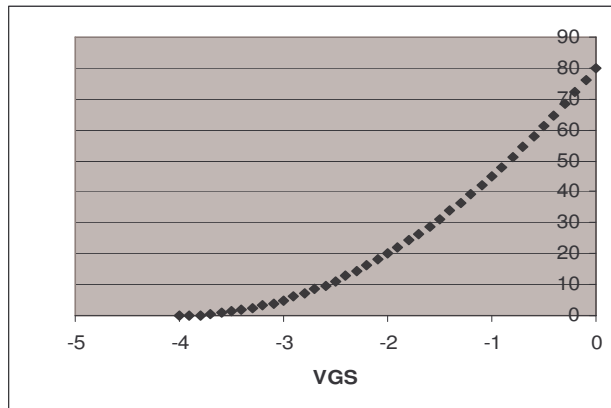
2.2 Descripció qualitativa funcionament

- Si V_G augmenta,
 - díode més en inversa,
 - zona buidament augmenta,
 - canal s'estreny,
 - resistència del canal augmenta,
 - intensitat drenador-sortidor disminueix
- Existirà un valor de tensió per la qual el canal s'estrangularà (tensió de pinch-off o estrangulament)
 - Corrent nul en aquest cas
- Funcionament correcte
 - Únió pn sempre en inversa
 - No injecció de corrent per porta



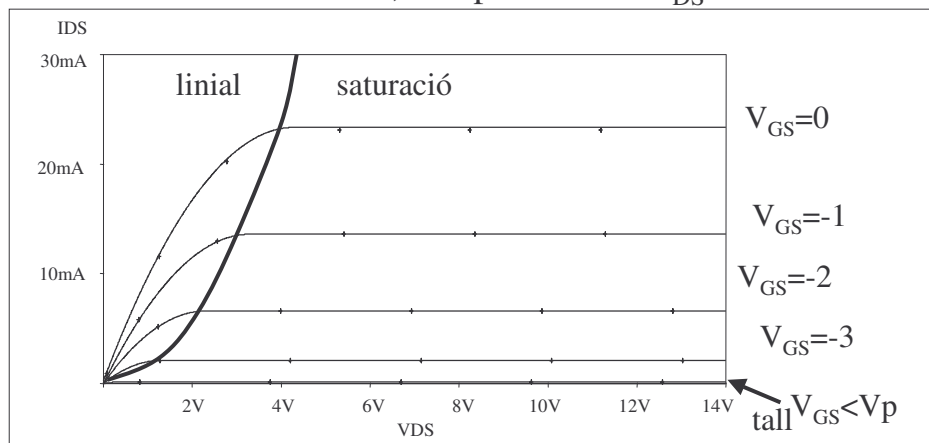
2.3 Corbes característiques: canal n

- Corba I_D vs V_{GS} en saturació
 - Per valors V_{GS} positius (unió pn en directe, funcionament incorrecte no contemplat)
 - Per valors menors a tensió de pinch off (-4V a l'exemple) corrent 0
 - Dependència parabòlica entre I_D i V_{GS}



2.3 Corbes característiques: canal n

- Corba I_D vs V_{DS} per distints valors de V_{GS}
 - 3 zones : tall, lineal o ohmica i saturació
 - Ohmica : dependència parabòlica
 - Saturació : constant, independent de V_{DS}



2.3 Corbes característiques: canal n

- Tall $V_{GS} \leq V_p < 0 : I_{DS} = 0$
- Lineal $V_{GS} \geq V_p, V_{DS} \leq V_{GS} - V_p$

$$I_D = \beta \left[(V_{GS} - V_p) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

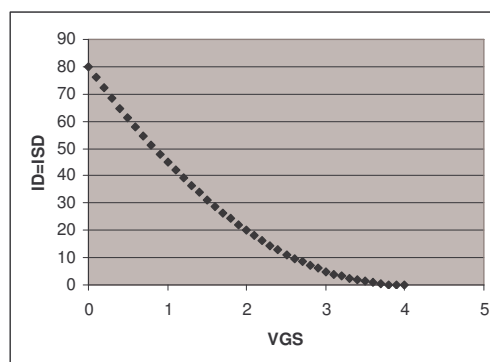
- Saturació $V_{GS} \geq V_p, V_{DS} \geq V_{GS} - V_p$

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 = \frac{\beta}{2} (V_{GS} - V_p)^2$$

β és el paràmetre de transconductància del transistor,
 V_p és la tensió de pinch-off i I_{DSS} el corrent de drenador de saturació

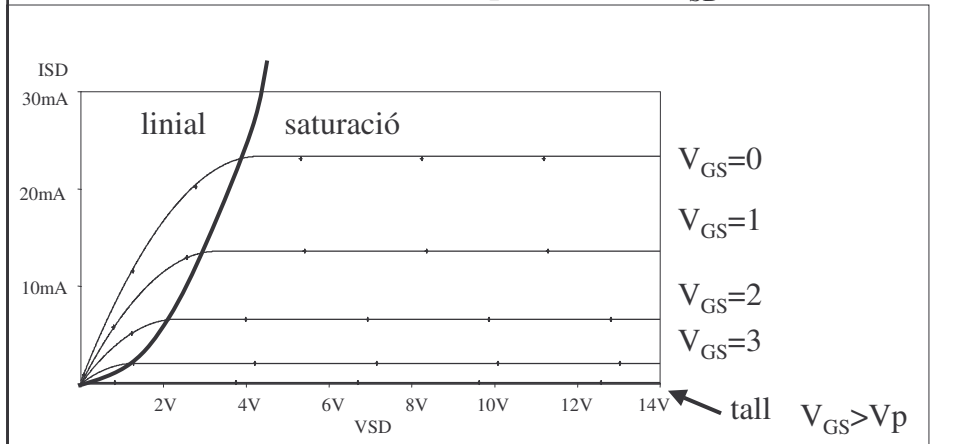
2.3 Corbes característiques: canal p

- Corba I_D vs V_{GS} en saturació (NOTA: $I_D = I_{SD}$ ara i no I_{DS})
 - Per valors V_{GS} negatius (unió pn en directe, funcionament incorrecte no contemplat)
 - Per valors majors a tensió de pinch off (4V a l'exemple) corrent 0
 - Dependència parabòlica entre I_D i V_{GS}



2.3 Corbes característiques: canal p

- Corba I_D vs V_{DS} per distints valors de V_{GS}
 - 3 zones : tall, lineal o ohmica i saturació
 - Ohmica : dependència parabòlica
 - Saturació : constant, independent de V_{SD}



2.3 Corbes característiques: canal p

- Tall $V_{GS} \geq V_p < 0$: $I_D = I_{SD} = 0$
- Lineal $V_{GS} \leq V_p$, $V_{DS} \geq V_{GS} - V_p$

$$I_D = \beta \left[(V_{GS} - V_p) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

- Saturació $V_{GS} \leq V_p$, $V_{DS} \leq V_{GS} - V_p$

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 = \frac{\beta}{2} (V_{GS} - V_p)^2$$

β és el paràmetre de transconductància del transistor,
 V_p és la tensió de pinch-off i I_{DSS} el corrent de drenador de saturació

2.4. Aplicacions

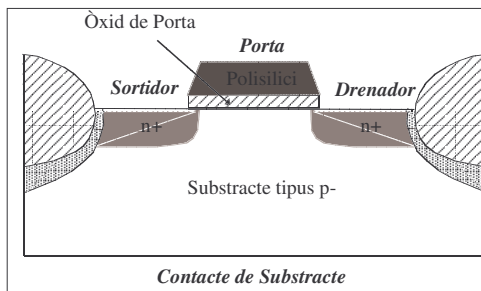
- Com es resol un problema amb JFETs ?
- Suposam una regió de funcionament
- Imposam equacions de funcionament
 - Més intuïtiu ja que controlam per tensions i no per corrents com al cas del BJT
 - Més complicat, dependència no lineal, equacions de segon ordre : 2 solucions
 - Saber quina solució és la correcta
- Comprovar hipòtesis de regió de funcionament
- EXEMPLES !!!

3.1 Transistors MOS: Introducció

- Transistor d'efecte de camp
- Importància
 - Tamany molt reduït (molt menor que un bipolar). Ideal per tecnologies VLSI – ULSI
 - Són resistències controlades per tensió i ocupen menys àrea que si s'emprassin resistències
 - Impedàncies d'entrada molt elevades, capacitats d'entrada petites
 - Consum estàtic en tecnologia CMOS practicament nul. Sistemes digitals de baix consum.

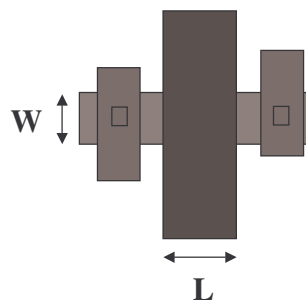
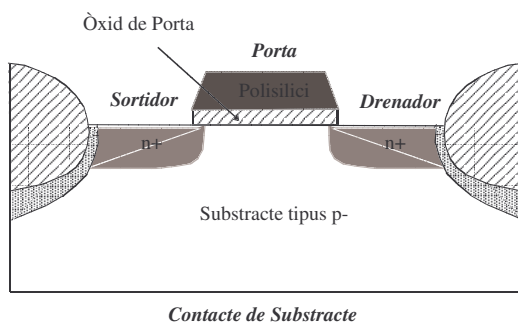
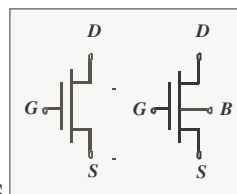
3.1 Transistor MOS: Introducció

- És un dispositiu de 4 terminals
 - Porta (G gate)
 - Drenador (D drain)
 - Sortidor (S source)
 - Substrate (B bulk)
- Nom : estructura física:
 - metal-òxid-semiconductor
 - Semiconductor (polisilici) – òxid – semiconductor
- Porta aïllada del canal per l'òxid (SiO_2): I_G menyspreable
- El corrent de drenador a sortidor es controla amb la tensió de porta (efecte transistor)



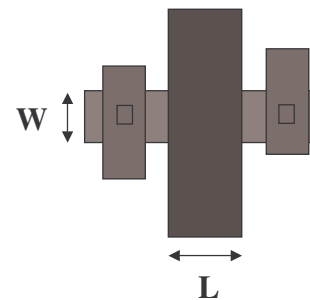
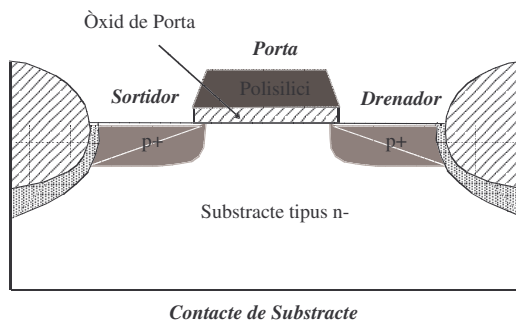
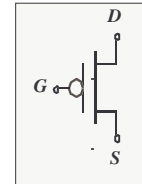
3.2 Transistor MOS: Tipus

- Transistor NMOS
 - Dispositiu semiconductor de 4 terminals
 - Porta, drenador, sortidor i substrate



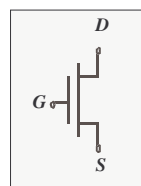
3. 2 Transistor MOS: Tipus

- Transistor PMOS
 - Dispositiu semiconductor de 4 terminals
 - Porta, drenador, sortidor i substrate

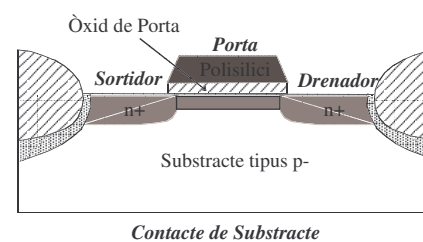
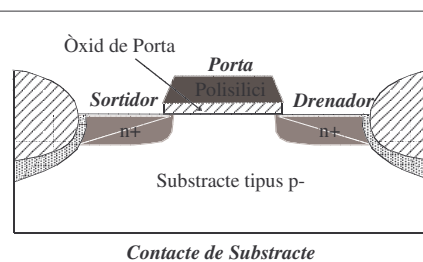
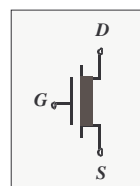


3. 2 Transistor MOS: Tipus

- Tipus de transistors
 - d'acumulació

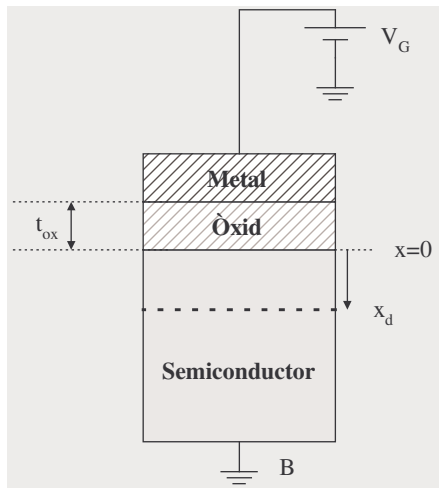


- de buidament



3.3. Descripció qualitativa de funcionament

- Estructura MOS bàsica



- Condensador MOS

- a T estable i suficient per tenir les impureses ionitzades

$$p = N_A \quad n = \frac{n_i^2}{N_A}$$

- La capacitat de porta

$$C_G = C_{ox}A = \frac{\epsilon_{ox}}{t_{ox}}A = \frac{\epsilon_{ox}}{t_{ox}}WL$$

- Si ara $V_G > 0$ i $V_B = 0$ a un *MOM*

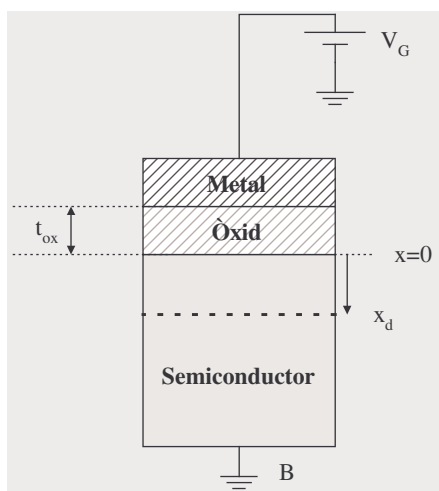
- Camp elèctric uniforme a l'òxid

$$E_{ox} = \frac{V_G}{t_{ox}}$$

- a $x=0$ potencial nul ($V=0$) (substrate curtcircuitat per un conductor)

3.3. Descripció qualitativa de funcionament

- Estructura MOS bàsica



- Condensador MOS

- Cas *MOS* en lloc de *MOM*

- No tot el potencial cau a l'òxid
- Penetra dins del semiconductor
- Existeix E al Silici que modificarà distribució de portadors

$$\begin{aligned} \phi_s &= \phi(x=0) \\ V_G &= V_{ox} + \phi_s \\ E_s &= E(x=0) = -\left.\frac{d\phi}{dx}\right|_{x=0} \end{aligned} \quad \downarrow \quad \mathbf{E}_s$$

- Buidament de càrregues (*Depletion zone*) entre $x=0$ i $x=x_d$

- Apareix E constant i V lineal

de ϕ_s a $x=0$ fins 0 a $x=x_d$

- V dins el semiconductor depèn de V_G

$$\text{de } x_d = \sqrt{\frac{2\epsilon_{si}\phi_s}{qN_A}} \quad \text{i} \quad Q_s = -qN_A x_d$$

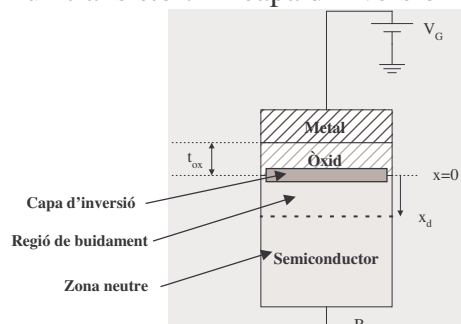
3.3. Descripció qualitativa de funcionament

- Estructura MOS bàsica
 - Si en lloc d'aplicar $V_G > 0$ aplicam $V_G < 0$
 - Efecte d'enriquiment en lloc de buidament
 - Si en lloc d'un semiconductor p tenim un semiconductor n
 - Mateix comportament però polarització contrària
 - $V_G > 0$ ara enriquiment
 - $V_G < 0$ ara empobriment o buidament
 - Finalment si Q_s és la densitat de càrrega a la superfície

$$V_{OX} = -\frac{Q_s}{C_{OX}}$$

3.3. Descripció qualitativa de funcionament

- Estructura MOS bàsica
- Concepte d'inversió de portadors i tensió umbral
 - Si V_G augmenta $\Rightarrow \Phi_s$ augmenta
 - No només buidament de forats, també atracció d'electrons
 - Es crea la capa d'inversió (a un tipus p capa amb electrons majoritaris)
 - A un transistor: capa d'inversió = canal del transistor



3.3. Descripció qualitativa de funcionament

- Estructura MOS bàsica

- Quan es crea la capa d'inversió ?

$$\phi_s = 2|\phi_F| \quad \text{amb} \quad \phi_F = \frac{KT}{q} \ln\left(\frac{N_A}{n_i}\right)$$

Potencial de Fermi

$$x_d = \sqrt{\frac{2\epsilon_{Si} 2|\phi_F|}{qN_A}} \quad \text{i} \quad Q_B = -\sqrt{2q\epsilon_{Si} N_A 2|\phi_F|}$$

Densitat de càrrega a la capa d'inversió

- A mesura que V_G augmenta
 - creix la capa d'inversió (canal al cas d'un transistor)
 - es mantén el gruix de la capa de buidament

3.3. Descripció qualitativa de funcionament

- Estructura MOS bàsica

- Tensió umbral : tensió V_G que provoca l'aparició de la capa d'inversió. (V_{TO}).

$$\begin{aligned} V_G &= V_{OX} + \phi_s \\ V_{OX} &= -\frac{Q_B}{C_{OX}} \\ Q_B &= -\sqrt{2q\epsilon_{Si} N_A 2|\phi_F|} \end{aligned}$$



$$V_{TO} = \frac{\sqrt{2q\epsilon_{Si} N_A 2|\phi_F|}}{C_{OX}} + 2|\phi_F|$$

- Si $V_G < V_{TO}$ no hi ha capa d'inversió
- Si $V_G > V_{TO}$, la diferència $V_G - V_{TO}$ implica un augment net de la càrrega a la capa d'inversió Q_I

$$Q_S = Q_B + Q_I \quad \text{amb} \quad Q_I = C_{OX}(V_G - V_{TO})$$

3.3. Descripció qualitativa de funcionament

- Estructura MOS bàsica
- Efecte de les càrregues atrapades a l'òxid
 - Aparició d'un terme afegit (K) degut a les càrregues atrapades a l'òxid

$$V_{TO} = \frac{\sqrt{2q\epsilon_{Si}N_A 2|\phi_F|}}{C_{OX}} + 2|\phi_F| + K$$

- Nivell tecnològic: tècnica emprada amb la finalitat d'ajustar la tensió umbral dels dispositius. (Implantació de càrregues)
- Efecte de polarització del substrate : *Body effect*
 - canvi a V_{SB} substrate, modificació distribució de portadors, modificació de tensió umbral

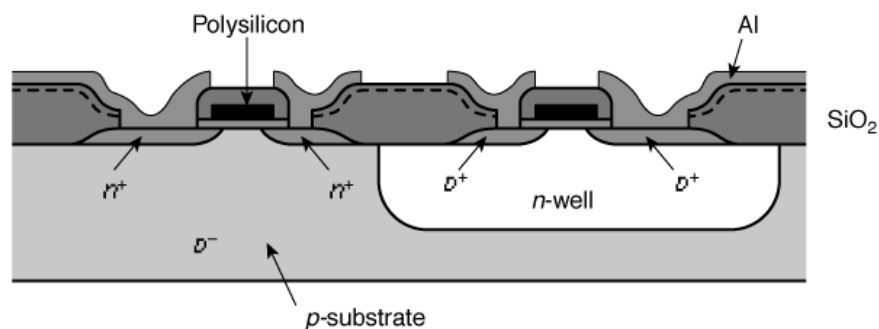
$$V_T = V_{TO} + \gamma \left(\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{Si}N_A}}{C_{OX}}$$

- Per evitar Body effect s'hauria de curtcircuitar surtidor i substrate

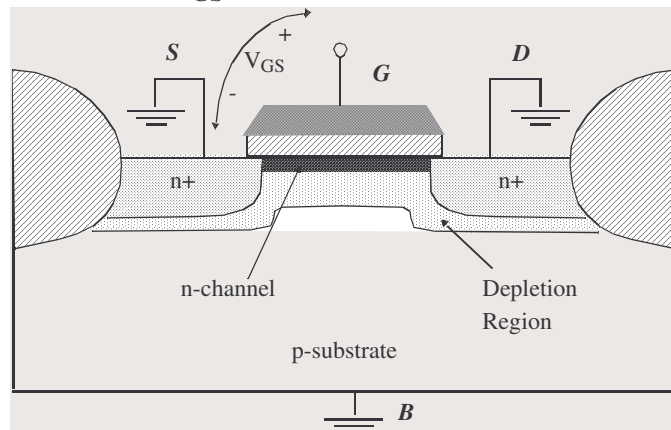
3.3. Transistors en una tecnologia n-well

- Substrate tipus P (pou tipus N)



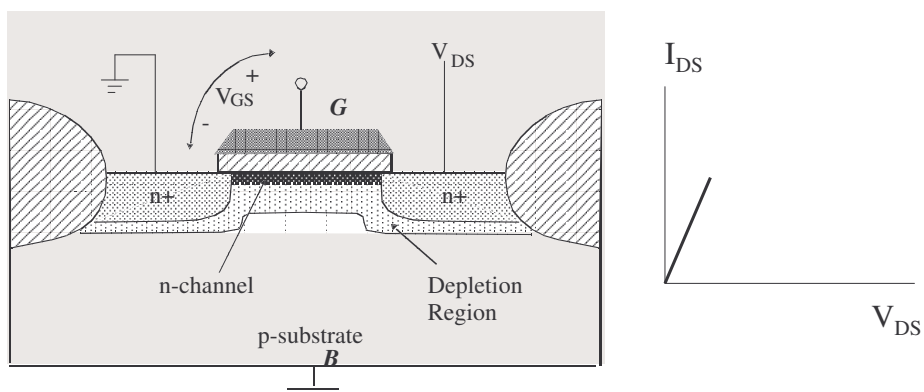
3.3. Funcionament del MOS : Concepte de tensió de threshold

- Hem de crear el canal.
 - Polarització V_{GS} suficient per crear-lo



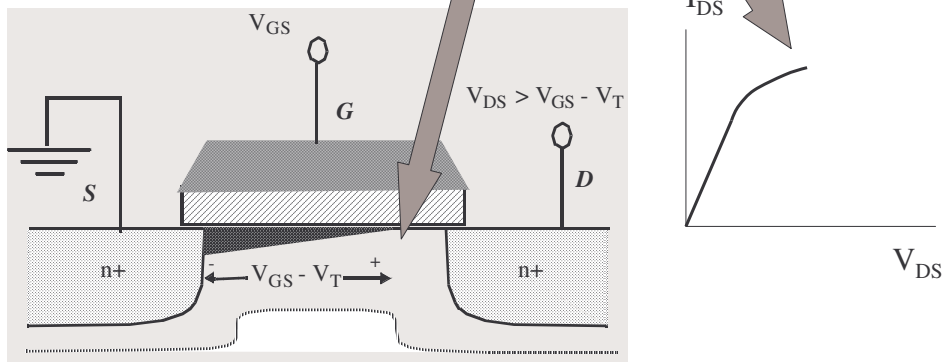
3.3. Funcionament del MOS

- Per tensions V_{DS} “baixes”
 - Canal més o menys uniforme (resistència constant)
 - Dependència I - V tipus lineal



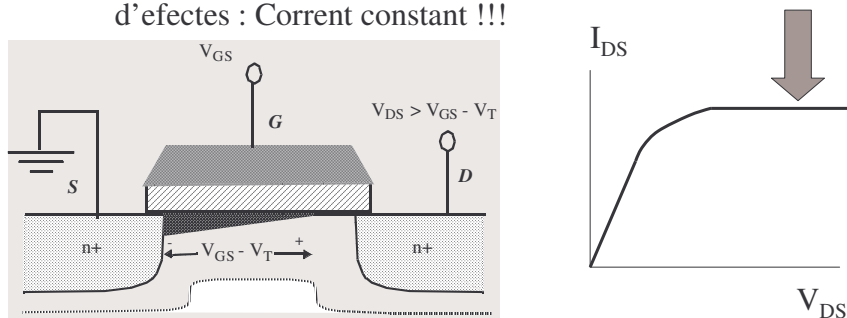
3.3. Funcionament del MOS

- Tensions V_{DS} majors
 - El canal s'aprima al costat del drenador
 - Augment de resistència (disminueix el pendent a la corba)
- Tensions encara majors
 - Estrangulament del canal : estat de saturació

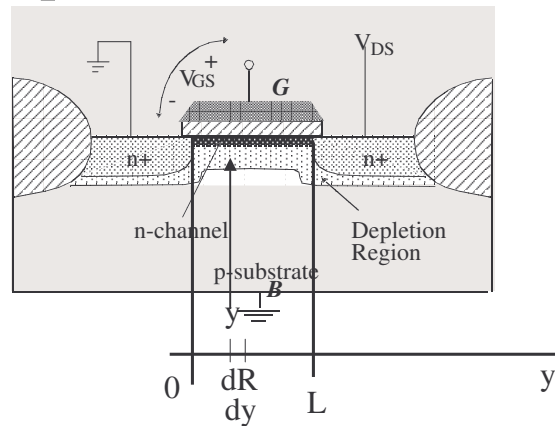


3.3. Funcionament del MOS

- Estat de saturació
 - A la zona estrangulada
 - No hi ha molts de portadors
 - Camp elèctric molt fort que estira electrons cap el drenador
 - Si augmenta més V_{DS} , aleshores
 - Menys portadors però camp elèctric més fort. (compensació d'efectes : Corrent constant !!!)



3.4. Equacions de funcionament

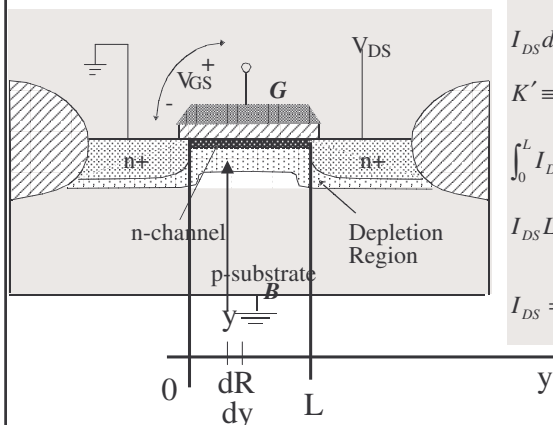


- Càrrega induïda a y (hi ha canal per sobre de V_T així feim un corrent)

$$Q_{induida}(y) = C_{OX} (V_{GS} - V(y) - V_T)$$

3.4. Equacions de funcionament

- Raonament matemàtic:
 - Resistivitat a un semiconductor, resistència com a resistivitat per longitud/ample, corrent com a V/R , i integrem al llarg del canal



$$\rho(y) = \frac{1}{q\mu_n n} = \frac{1}{\mu_n Q(y)}$$

$$dR = \rho(y) \frac{dy}{W} = \frac{dy}{W\mu_n Q(y)}$$

$$I_{DS} = \frac{dV}{dR} \Rightarrow dV = I_{DS} dR = \frac{I_{DS} dy}{W\mu_n Q(y)}$$

$$I_{DS} dy = W\mu_n Q dV = W\mu_n C_{OX} (V_{GS} - V - V_T) dV$$

$$K' \equiv \mu_n C_{OX} = \mu_n \frac{\epsilon_{OX}}{t_{OX}}$$

$$\int_0^L I_{DS} dy = \int_0^{V_{DS}} K' W (V_{GS} - V - V_T) dV$$

$$I_{DS} L = K' W \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$I_{DS} = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

3.4. Equacions de funcionament

- Validesa en lineal

$$I_{DS} = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

- En saturació

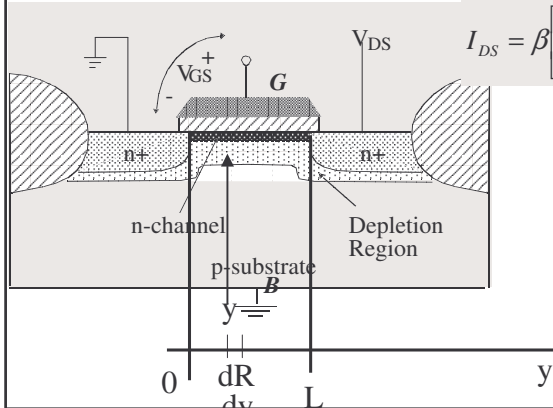


$$V(L) = V_{DS}$$

$$Q(L) = 0 = C_{OX} (V_{GS} - V_{DS} - V_T)$$

$$V_{DS} = V_{GS} - V_T \equiv V_{DS_{sat}}$$

$$I_{DS} = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] = \frac{\beta}{2} (V_{GS} - V_T)^2$$



3.4. Model Analític del NMOS

- Si $V_{GS} < V_T$, regió de tall

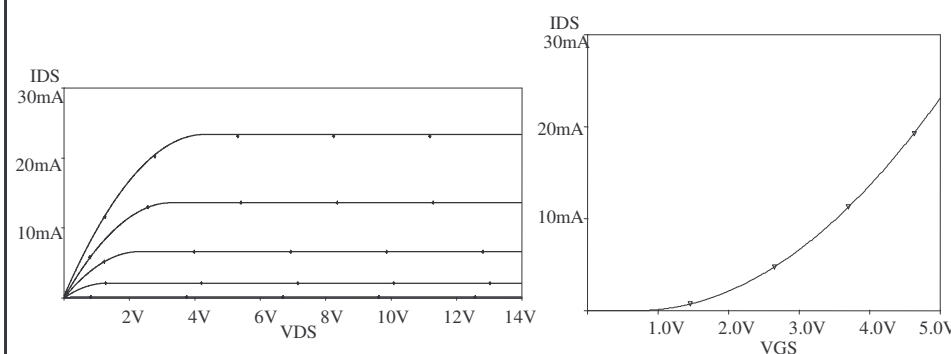
$$I_{DS} = 0$$

- Si $V_{GS} > V_T$ i $V_{DS} < V_{GS} - V_T$ regió lineal

$$I_{DS} = \beta_N \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

- Si $V_{GS} > V_T$ i $V_{DS} > V_{GS} - V_T$ regió saturació

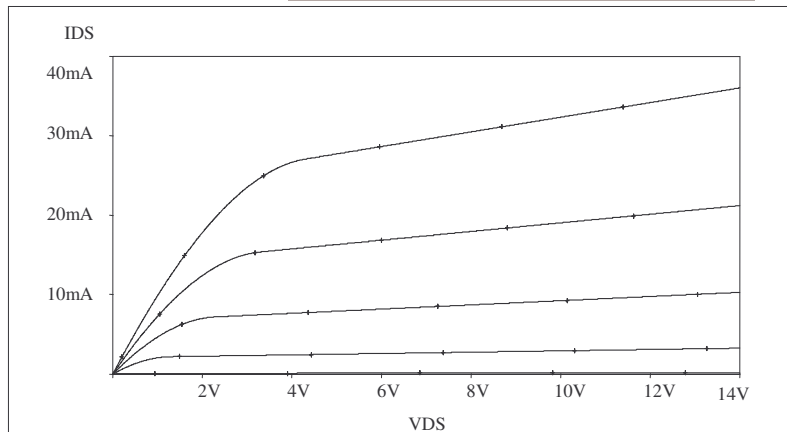
$$I_{DS} = \frac{\beta_N}{2} (V_{GS} - V_T)^2$$



3.4. Model Analític del NMOS

- En saturació, I_{DS} depèn de V_{DS} (efecte de modulació de canal)

$$I_{DS} = \frac{\beta_N}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$



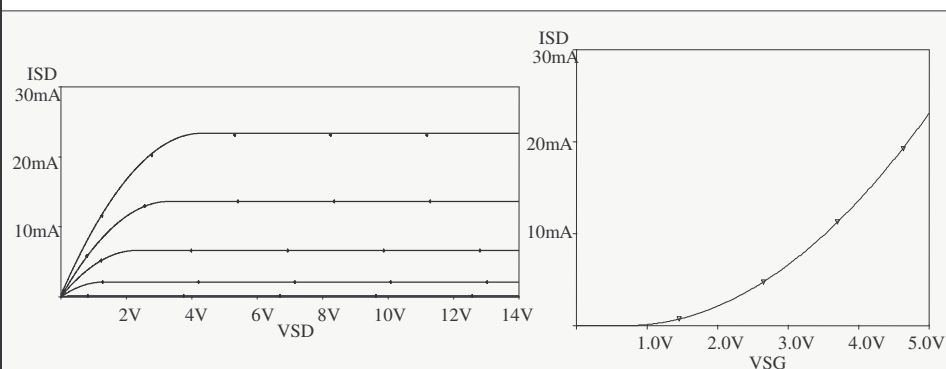
3.4. Model Analític del PMOS

- Si $V_{SG} < |V_{TP}|$, regió de tall
- Si $V_{SG} > |V_{TP}|$ i $V_{SD} < V_{SG} - |V_{TP}|$ lineal
- Si $V_{SG} > |V_{TP}|$ i $V_{SD} > V_{SG} - |V_{TP}|$ saturació

$$I_{SD} = 0$$

$$I_{SD} = \beta_P \left((V_{SG} - |V_{TP}|) V_{SD} - \frac{V_{SD}^2}{2} \right)$$

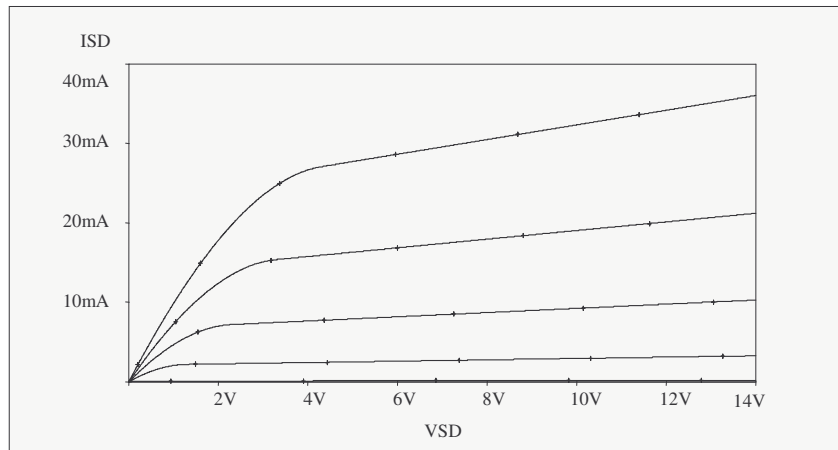
$$I_{SD} = \frac{\beta_P}{2} (V_{SG} - |V_{TP}|)^2$$



3.4. Model Analític del PMOS

- En saturació, I_{SD} depèn de V_{SD} (efecte de modulació de canal)

$$I_{SD} = \frac{\beta_P}{2} (V_{SG} - |V_{TP}|)^2 (1 + \lambda V_{SD})$$



3.4. Transistors de buidament

- No molt emprats (sobretot el PMOS)
- NMOS, ja té canal creat, per tant per tallr-lo hem de polaritzar VGS en negatiu fins que arribam a un valor menor a V_T (que ara és negativa)
 - Equacions igual que al d'acumulació, però ara V_T és negatiu i podem polaritzar VGS en negatiu fins arribar a V_T en estat de conducció
- Raonaments idèntics al PMOS de buidament

3.4. Conducció Subthreshold

- Important a transistors de canal curt
 - tecnologies molt avançades
- A $V_{GS} < V_T$ hi ha conducció
 - Corrent de difusió drenador-sortidor
 - I_{DS} augmenta si V_T disminueix
 - Consum estàtic no nul

$$I_{DS} \approx \frac{W}{L} I_{DO} e^{\frac{V_{GS} - V_T}{N_O \frac{KT}{q}}}$$

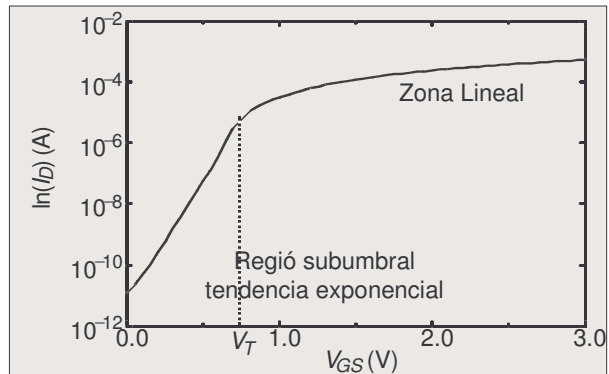
$$I_{DO} \approx C_{ox} \mu_n \left(N_O \frac{KT}{q} \right)^2 e^{1.8}$$

N_O = paràmetre procés

Tecnologia + avançada

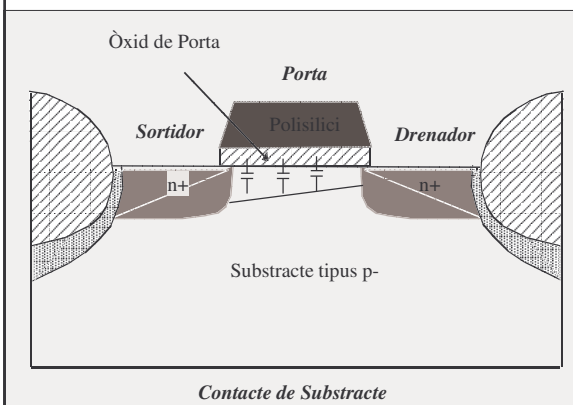


Corrent fuites + important



3.5. Models dinàmics: Capacitats al MOS

- Capacitat global Porta-Canal

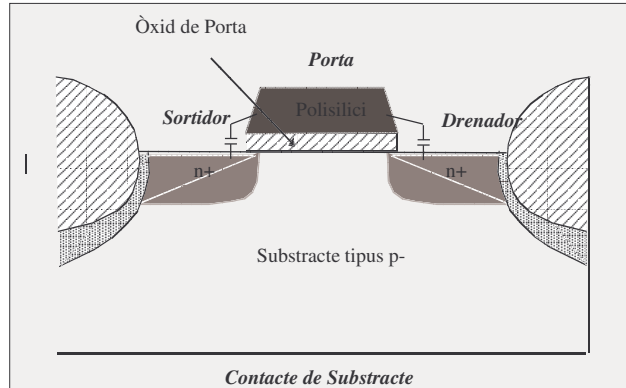


- Tall : no hi ha canal
 - Tota la contribució al substrate
$$C_{GB}$$
- Conducció
 - Lineal : es distribueix entre D i S
 - Saturació : no contribueix al drenador
$$C_{GB}, C_{GS} \text{ i } C_{GD}$$

Operation Region	C_{gb}	C_{gs}	C_{gd}
Cutoff	$C_{ox}WL_{eff}$	0	0
Triode	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$
Saturation	0	$(2/3)C_{ox}WL_{eff}$	0

3.5. Models dinàmics: Capacitats al MOS

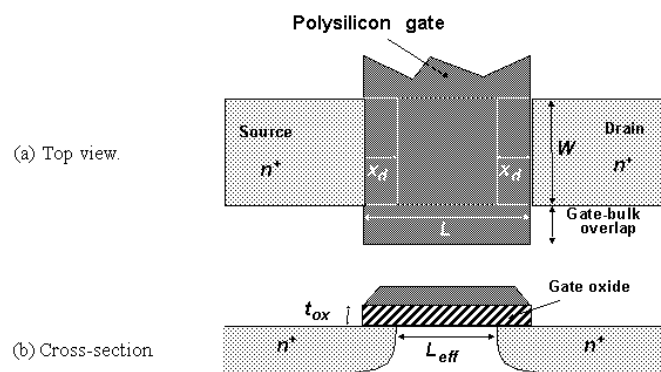
- Capacitat Porta-Sortidor i Porta-Drenador



- Nova contribució a C_{GS} i C_{GD}
- Són degudes al no alineament entre porta i illes de drenador i sortidor
- Concepte de longitud de canal i de longitud efectiva

3.5. Models dinàmics: Capacitats al MOS

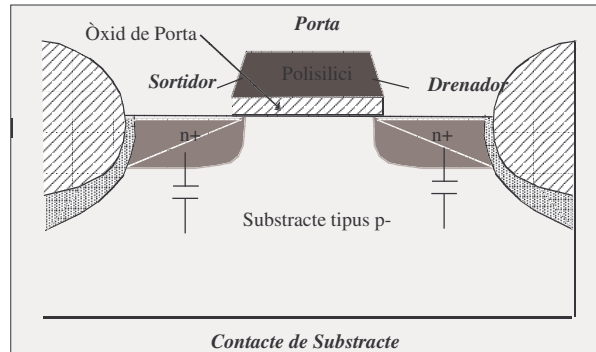
- Capacitat de porta



$$C_{gate} = \frac{\epsilon_{ox}}{t_{ox}} WL$$

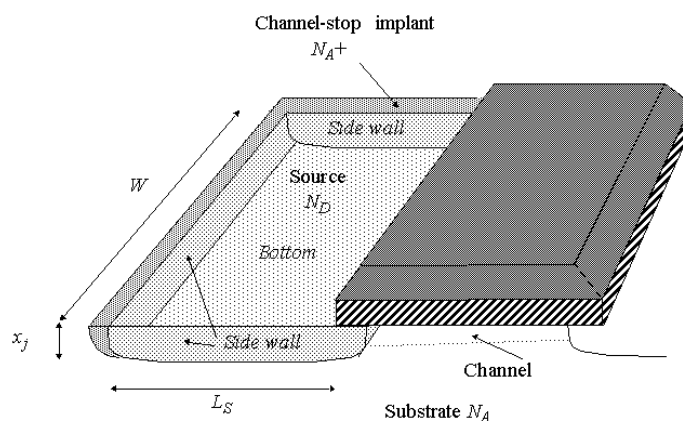
3.5. Models dinàmics: Capacitats al MOS

- Capacitat drenador-substrate i sortidor-substrate (Cap. De Difusió)



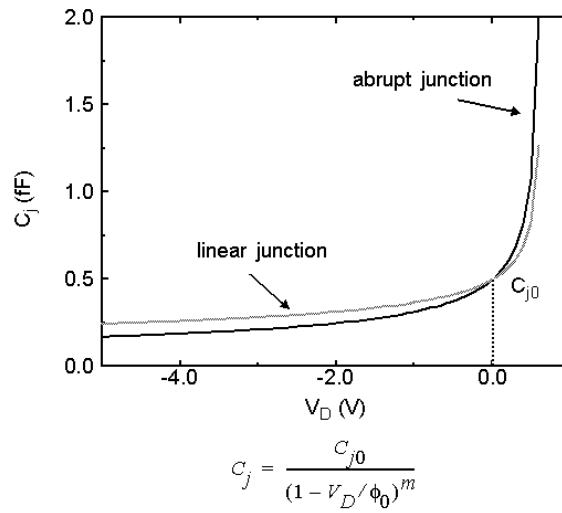
- Són degudes a les polaritzacions inverses d'unions PN
- Depenen de la tensió
- Es poden aproximar per una llei proporcional amb l'àrea i el perímetre de les regions de drenador i sortidor

3.5. Capacitat de difusió



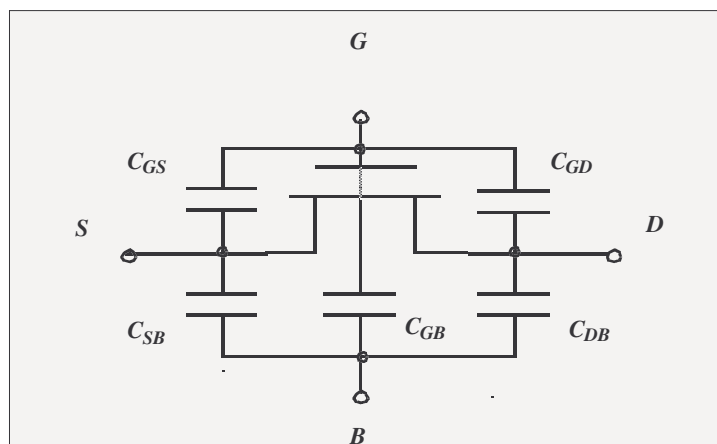
$$\begin{aligned}
 C_{diff} &= C_{bottom} + C_{sw} = C_j \times AREA + C_{jsw} \times PERIMETER \\
 &= C_j L_S W + C_{jsw} (2L_S + W)
 \end{aligned}$$

3.5. Capacitat de difusió (dep. amb V)



3.5. Model Dinàmic

- El model inclou les capacitats abans descrites



3.5. Models Spice

- **Level 1:**
 - Dispositius de canal llarg. Model de Sah - Molt Simple
- **Level 2:**
 - Model físic.
 - Inclou efectes de velocitat de saturació i variacions de tensió de threshold
- **Level 3:**
 - Model Semiempíric
 - Basat en fitar corbes a mesures sobre dispositius
- **Level 4 (BSIM):**
 - Empíric- Simple i bastant emprat

3.5. Paràmetres simulació SPICE (principals)

Parameter Name	Symbol	SPICE Name	Units	Default Value
SPICE Model Index		LEVEL	-	1
Zero-Bias Threshold Voltage	VT0	VT0	V	0
Process Transconductance	k'	KP	A/V ²	2.E-5
Body-Bias Parameter	g	GAMMA	V ^{0.5}	0
Channel Modulation	1	LAMBDA	1/V	0
Oxide Thickness	tox	T OX	m	1.0E-7
Lateral Diffusion	xd	LD	m	0
Metallurgical Junction Depth	xj	XJ	m	0
Surface Inversion Potential	2 φ _F	PHI	V	0.6
Substrate Doping	N _A ,N _D	NSUB	cm ⁻³	0
Surface State Density	Q _{ss} /q	NSS	cm ⁻³	0
Fast Surface State Density		NFS	cm ⁻³	0
Total Channel Charge Coefficient		NEFF	-	1
Type of Gate Material		TPG	-	1
Surface Mobility	μ ₀	U0	cm ² /V-sec	600
Maximum Drift Velocity	u _{max}	VMAX	m/s	0
Mobility Critical Field	x _{crit}	UCRIT	V/cm	1.0E4
Critical Field Exponent in Mobility Degradation		UEXP	-	0
Transverse Field Exponent (mobility)		UTRA	-	0

3.5. Paràmetres simulació SPICE (Paràsits)

Parameter Name	Symbol	SPICE Name	Units	Default Value
Source resistance	R_S	RS	Ω	0
Drain resistance	R_D	RD	Ω	0
Sheet resistance (Source/Drain)	R_o	RSH	$\Omega/\square$	0
Zero Bias Bulk Junction Cap	C_{j0}	CJ	F/m ²	0
Bulk Junction Grading Coeff.	m	MJ	-	0.5
Zero Bias Side Wall Junction Cap	C_{jsw0}	CJSW	F/m	0
Side Wall Grading Coeff.	m_{sw}	MJSW	-	0.3
Gate-Bulk Overlap Capacitance	C_{gb0}	CGBO	F/m	0
Gate-Source Overlap Capacitance	C_{gs0}	CGSO	F/m	0
Gate-Drain Overlap Capacitance	C_{gd0}	CGDO	F/m	0
Bulk Junction Leakage Current	I_S	IS	A	0
Bulk Junction Leakage Current Density	J_S	JS	A/m ²	1E-8
Bulk Junction Potential	ϕ_0	PB	V	0.8

3.5. Paràmetres SPICE dels transistors

Mnom D G S B Modelname W= L= (AS= AD= PS= PD= NRS= NRD=)

Parameter Name	Symbol	SPICE Name	Units	Default Value
Drawn Length	L	L	m	-
Effective Width	W	W	m	-
Source Area	AREA	AS	m ²	0
Drain Area	AREA	AD	m ²	0
Source Perimeter	PERIM	PS	m	0
Drain Perimeter	PERIM	PD	m	0
Squares of Source Diffusion		NRS	-	1
Squares of Drain Diffusion		NRD	-	1

.MODEL Modelname NMOS (Params =)

3.6. Exemples d'aplicació

- Com es resol un problema amb MOS ?
- Suposam una regió de funcionament
- Imposam equacions de funcionament
 - Comparant amb BJT, ara més complicat, dependència no lineal, equacions de segon ordre : 2 solucions
 - Saber quina solució és la correcta
- Comprovar hipòtesis de regió de funcionament
- EXEMPLES:
 - inversor amb càrrega resistiva
 - Inversor amb càrrega de buidament

3.7. Models en petit senyal

- Tractam el problema de la resposta de transistors a
 - Petits senyals de tensió o corrent (Petit senyal)
 - Superposats als valors de contínua (Punt de treball, polarització, punt Q, ...)
- Aplicacions a:
 - Càlcul de guanys i impedàncies d'amplificadors
- Els models de petit senyal del MOS s'apliquen en zona de saturació
 - Zona a la qual treballen els MOS com a amplificadors

$$i_{DS} = \frac{\beta}{2} (v_{GS} - V_T)^2$$

3.7. Models en petit senyal

- Dues contribucions : continua i petit senyal

$$v_{GS} = V_{GS} + v_{gs}$$

- Objectiu:

- Relacionar les variables de petit senyal

$$i_{DS} = I_{DS} + i_{ds}$$

$$i_{DS} = \frac{\beta}{2} (V_{GS} + v_{gs} - V_T)^2$$

$$i_{DS} = \frac{\beta}{2} (V_{GS}^2 + v_{gs}^2 + V_T^2 + 2V_{GS}v_{gs} - 2V_{GS}V_T - 2v_{gs}V_T)$$

$$i_{DS} = \frac{\beta}{2} (V_{GS}^2 - 2V_{GS}V_T + V_T^2) + \frac{\beta}{2} (2V_{GS}v_{gs} - 2v_{gs}V_T) + \frac{\beta}{2} v_{gs}^2$$

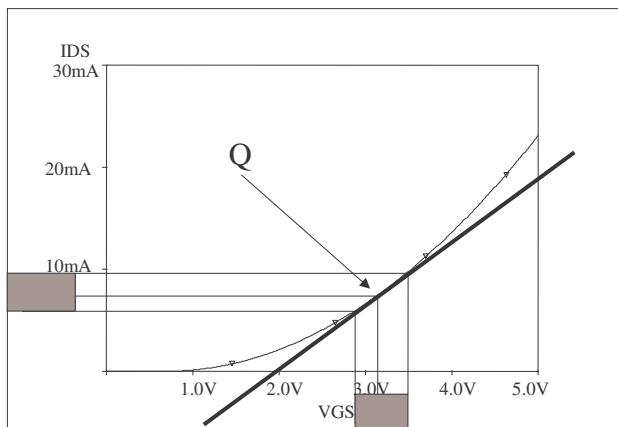
$$i_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2 + \beta(V_{GS} - V_T)v_{gs} + \dots$$

$$i_{DS} = I_{DS} + g_m v_{gs}$$



$$i_{ds} = g_m v_{gs} \quad \text{amb} \quad g_m = \beta(V_{GS} - V_T) = \frac{2I_{DS}}{V_{GS} - V_T}$$

3.7. Models de petit senyal

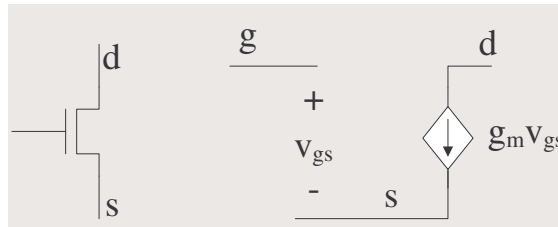


$$g_m = \left. \frac{di_{DS}}{dv_{GS}} \right|_Q = \beta(v_{GS} - V_T)|_Q = \beta(V_{GS} - V_T)$$

$$i_{ds} = g_m v_{gs}$$

3.7. Model en petit senyal

- Model circuital



$$g_m = \left. \frac{di_{DS}}{dv_{GS}} \right|_Q = \beta(v_{GS} - V_T)|_Q = \beta(V_{GS} - V_T)$$

$$i_{ds} = g_m v_{gs}$$

3.7. Model en petit senyal

- Considerant ara efecte de modulació de canal

$$I_{DS} = \frac{\beta_N}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

$$i_{DS} = I_{DS} + i_{ds}$$

$$v_{GS} = V_{GS} + v_{gs}$$

$$v_{DS} = V_{DS} + v_{ds}$$

$$i_{DS} = \frac{\beta}{2} (V_{GS} + v_{gs} - V_T)^2 (1 + \lambda(V_{DS} + v_{ds}))$$

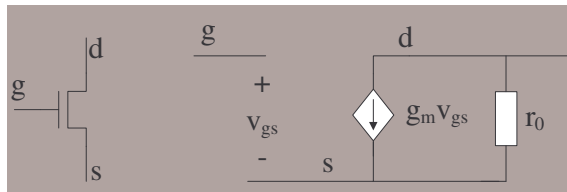
$$i_{DS} = I_{DS} + v_{ds} \left(\frac{\beta}{2} (V_{GS} - V_T)^2 \lambda \right) + v_{gs} (\beta(V_{GS} - V_T)(1 + \lambda V_{DS})) + v_{gs} v_{ds} \dots + v_{gs}^2 \dots + v_{gs}^2 v_{ds} \dots$$

$$i_{ds} = \frac{1}{r_0} v_{ds} + g_m v_{gs}$$

3.7. Model en petit senyal

- Considerant ara efecte de modulació de canal

$$I_{DS} = \frac{\beta_N}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$



$$i_{ds} = \frac{1}{r_0} v_{ds} + g_m v_{gs}$$

$$r_0 = \frac{2}{\beta (V_{GS} - V_T)^2 \lambda}$$

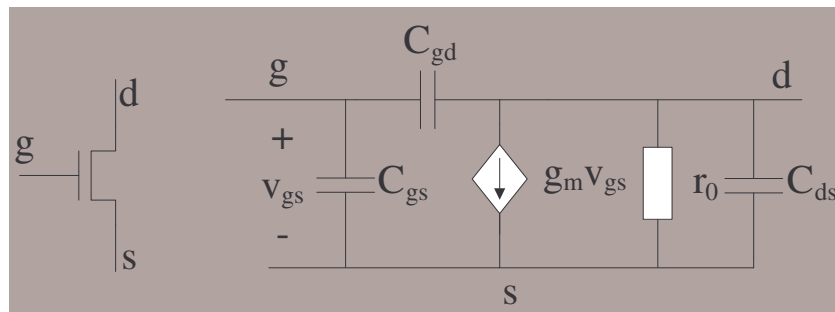
$$g_m = \beta (V_{GS} - V_T) (1 + \lambda V_{DS})$$

$$\frac{1}{r_0} = \left. \frac{di_{DS}}{dv_{DS}} \right|_Q$$

$$g_m = \left. \frac{di_{DS}}{dv_{GS}} \right|_Q$$

3.7. Model en petit senyal

- Model d'alta freqüència
 - Necessitat de considerar els condensadors paràsits



3.7. Models en petit senyal

- Aplicació
 - Exemple d'aplicació
 - $V_{CC}=12V$
 - $R_D=10k\Omega$
 - $R_1=300k\Omega$
 - $R_2=100k\Omega$
 - $R_L=90k\Omega$
 - $R_S=1k\Omega$
 - $V_T=1V$ i $\beta=0.2\text{ mA/V}^2$
 - Repetir pel cas $\lambda=0.05$

