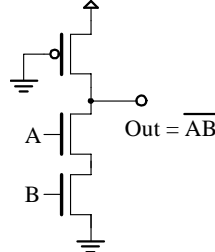
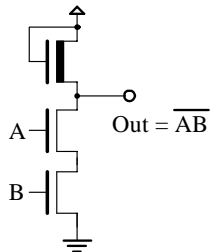


Lògica nMOS i pseudoNMOS

- Lògiques NMOS i pseudoNMOS

- REDUIR EL NOMBRE DE DISPOSITIUS: 1 transistor de pull-up

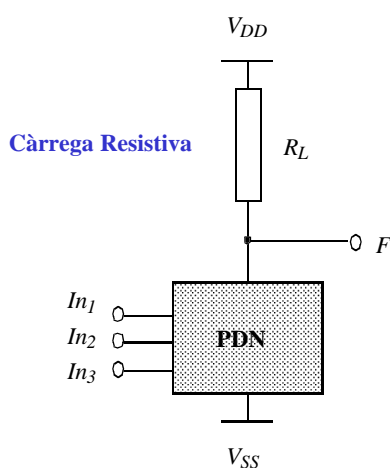


- Avantatge: mentre CMOS complementària 2n transistors ara n+1

- Inconvenients

- Consum en estàtica quan la sortida és 0.
- Dimensionat dels transistors molt crític (el de pull-up sobretot)
- Poc tolerants a variacions del procés
- Lògiques d'ús molt minoritari

Portes amb càrrega resistiva



- N transistors + Càrrega

- $V_{OH} = V_{DD}$

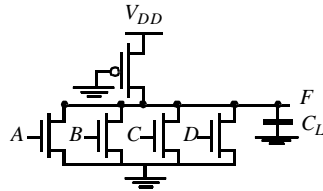
- $V_{OL} = \frac{R_{PN}}{R_{PN} + R_L}$

- Resposta asimètrica

- Presenta consum estàtic

- $t_{pL} = 0.69 R_L C_L$

Portes pseudoNMOS

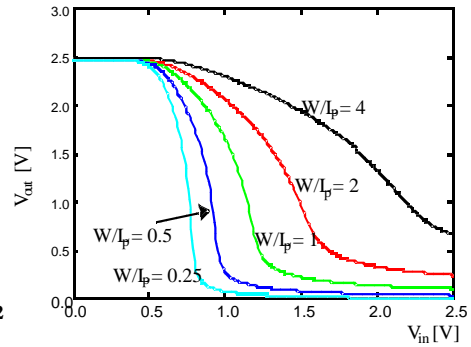


$V_{OH} = V_{DD}$ (similar to complementary CMOS)

$$k_n \left((V_{DD} - V_{Tn}) V_{OL} - \frac{V_{OL}^2}{2} \right) = \frac{k_p}{2} (V_{DD} - |V_{Tp}|)^2$$

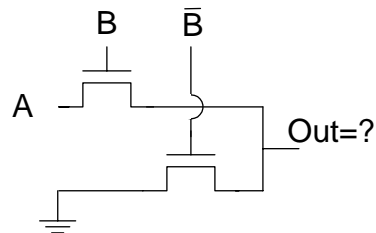
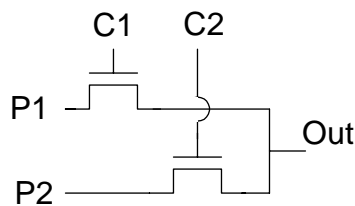
$$V_{OL} = (V_{DD} - V_T) \left[1 - \sqrt{1 - \frac{k_p}{k_n}} \right] \text{ (assuming that } V_T = V_{Tn} = |V_{Tp}| \text{)}$$

SMALLER AREA & LOAD BUT STATIC POWER DISSIPATION!!!



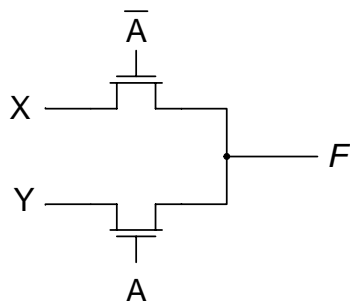
Portes lògiques amb portes de pas

- Lògiques estàtiques de transistors de pas
 - senyals de control i senyals de pas (esquema multiplexor)



- Reduït nombre de transistors (poca àrea, retard i consum)
- Requereixen senyals entrada i negades
- Possible degradació dels valors lògics (solució: porta de transmissió)
- Acoblament elèctric entrada/sortida (solució: drivers a la sortida)

Portes lògiques amb portes de pas

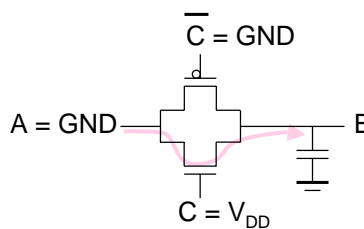
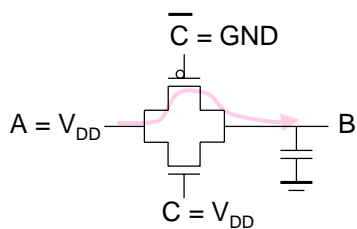
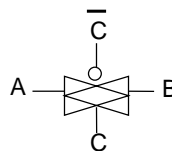
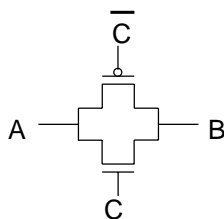


Funcions de 2 variables

X	Y	F
0	0	0
0	1	\overline{A}
1	0	\overline{A}
1	1	1
0	B	AB
0	\overline{B}	$\overline{A\overline{B}}$
1	B	$\overline{A+B}$
1	\overline{B}	$\overline{A+\overline{B}}$
B	0	$\overline{A\overline{B}}$
B	1	$\overline{A\overline{B}}$
B	0	A+B
B	1	A+B
B	\overline{B}	\overline{B}
B	B	$A \oplus B$
B	\overline{B}	$A \oplus B$
B	B	B

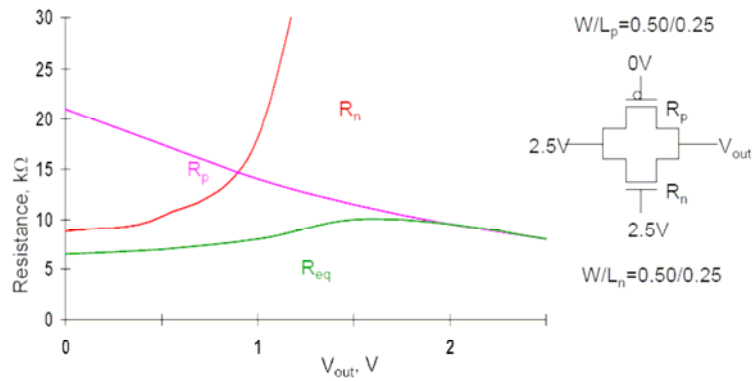
Portes de transmissió CMOS

- Opció més utilitzada



- A = B quan C = 1

Portes de transmissió CMOS

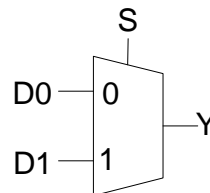


- La R_{eq} de la porta es manté gairebé constant

Multiplexors

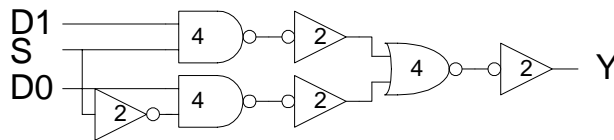
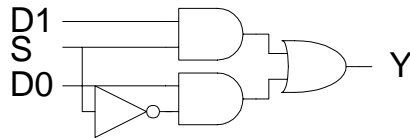
- Els *multiplexors* 2:1 seleccionen la sortida entre dues esntrades

S	D1	D0	Y
0	X	0	0
0	X	1	1
1	0	X	0
1	1	X	1



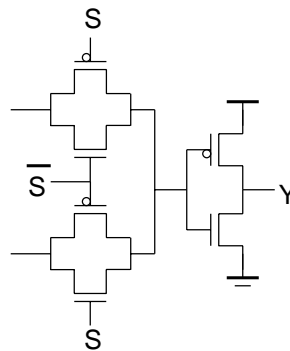
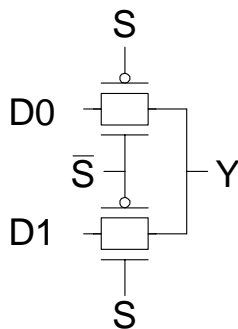
Disseny d'un MUX a nivell de porta lògica

- $Y = SD_1 + \bar{S}D_0$
- Quants transistors són necessaris? 20



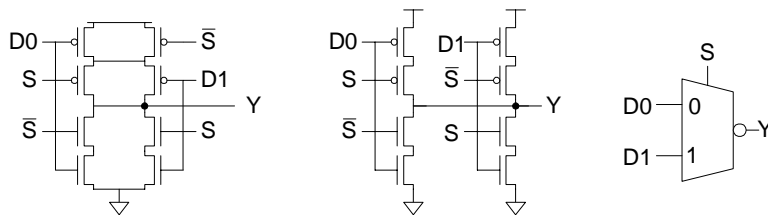
MUX amb portes de transmissió

- Amb portes de pas 4 transistors són suficients



MUX inversors

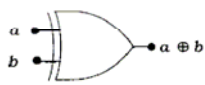
- MUX inversor
 - Una porta AOI
 - Un parell d'inversors tristate
- Afegint un inversor a la sortida, el MUX torna a ser no inversor



PORTES XOR XNOR



a	b	$a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0



a	b	a ⊕ b
0	0	0
0	1	1
1	0	1
1	1	0

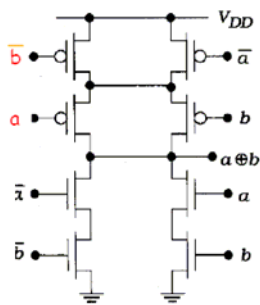
Portes XOR/XNOR

$$- a \oplus b = \bar{a} \cdot b + a \cdot \bar{b}$$

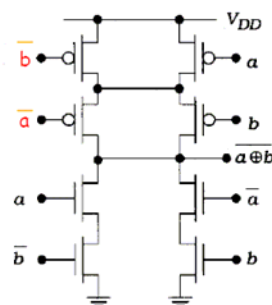
$$- \overline{a \oplus b} = a \cdot b + \bar{a} \cdot \bar{b}$$

$$- \text{XOR: } a \oplus b = \overline{a \cdot b + \bar{a} \cdot \bar{b}}$$

$$- \text{XNOR: } \overline{a \oplus b} = \overline{a \cdot b + \bar{a} \cdot \bar{b}}$$

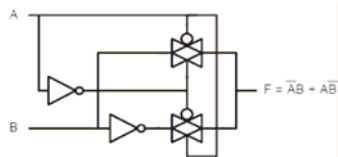
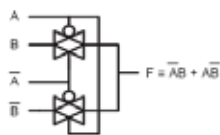


(a) Exclusive-OR

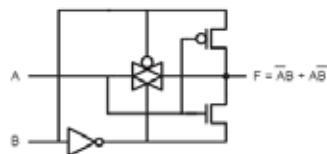


(b) Exclusive-NOR

Portes XOR/XNOR

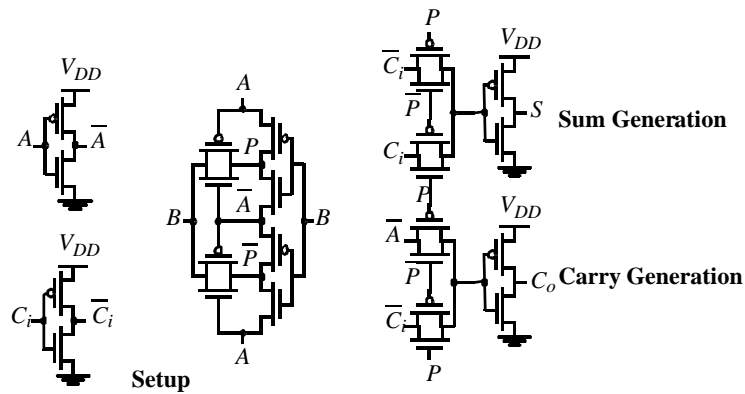


• 8 transistor XOR



• 6 transistor XOR

Lògiques de transistors de pas: Circuit sumador



Similar delays for sum and carry

Lògiques de transistors de pas

- Resum de característiques
 - Incorporació d'inversors o lògiques complementàries implicaran una no reducció en àrea (abans esmentada)
 - Millores sobretot a estructures aritmètiques (sum, mult,...)
 - sencillesa d'implementar portes XOR y MUX (molt emprades en aquestes topologies)
 - Exemple : sumador de 32 bits

Lògica CMOS Dinàmica

- En les portes lògiques **estàtiques** el nus de sortida sempre està connectat a GND o V_{DD} per un camí de baixa resistència.
 - Una porta amb fan-in n necessita $2n$ (n NMOS + n PMOS) dispositius
- En les portes lògiques **Dinàmiques** els valors dels senyals de sortida es guarden temporalment en la capacitat de nusos en alta impedància.
 - Són necessaris $n + 2$ transistors ($n+1$ NMOS + 1 PMOS)

Condicions d'operació

- Quan una porta dinàmica està descarregada, necessita una operació de precàrrega per tornar-se a carregar
- Les entrades de la porta sols han d'efectuar una transició durant l'evaluació.
- La sortida pot trobar-se en alta impedància durant l'avaluació (PDN off), l'estat queda guardat a la capacitat C_L

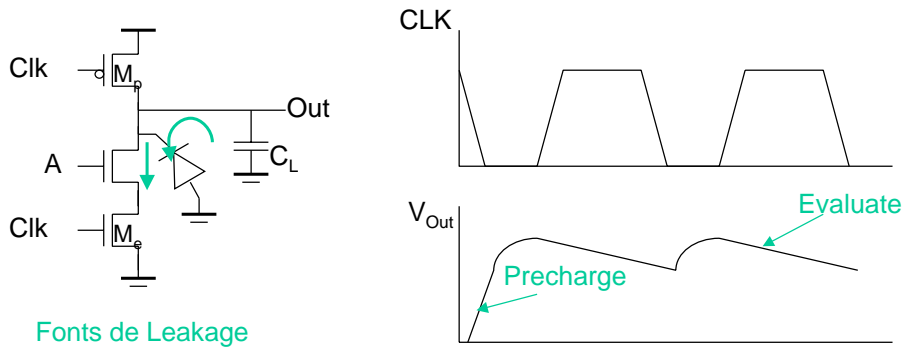
Característiques de les portes dinàmiques

- La funció lògica sols l'implementa la xarxa de transistors NMOS (pull-down network ,PDN)
 - N^o de transistors $N + 2$ ($2N$ en les portes CMOS complementàries)
- $V_{OL} = GND$, $V_{OH} = V_{DD}$
- Les mides dels dispositius no afecten als valors lògics
- Temps de transició ràpids
 - Capacitat de càrrega reduïda degut a la menor capacitat d'entrada de les portes (C_{in})
 - Capacitat de càrrega reduïda degut a la menor capacitat de sortida (C_{out})
 - No hi ha I_{sc} , tot el corrent que travessa PDN s'utilitza en descarregar C_L

Característiques de les portes dinàmiques

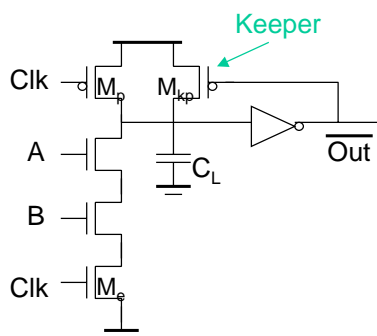
- Potència dissipada total **major** que en famílies CMOS estàtiques
 - no hi ha corrents statics entre V_{DD} i GND
 - no hi ha *glitching*
 - Probabilitats de transició més altes
 - Càrrega extra per Clk
- PDN comença a conduir tan aviat com les entrades superen V_{Tn} , per tant V_M , V_{IH} i V_{IL} són iguals a V_{Tn}
 - Baix nivell de soroll (NM_L)
- Necessita un senyal de rellotge per controlar les fases de precarrega/avaluació
- Presenten Problemes de integritat en la senyal

Característiques del Disseny dinàmic: Corrents de fuites

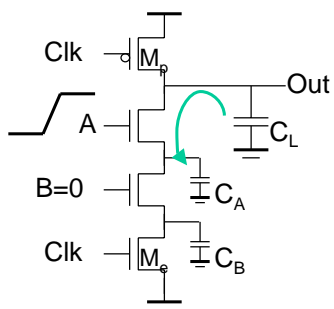


El component predominant es el corrent de subthreshold

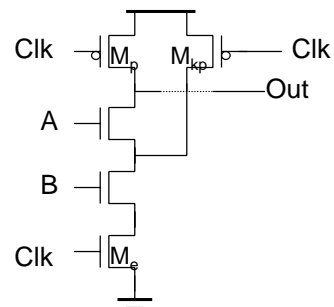
Solució als corrents de fuites



Redistribució de Càrrega



La càrrega guardada inicialment a C_L (durant la precàrrega) es pot redistribuir entre C_L i C_A

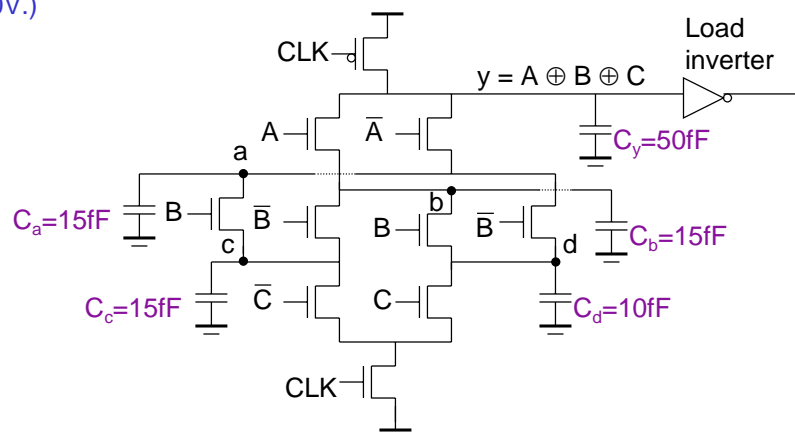


Solució

Precarregar els nusos interns
(a costa d'incrementar l'àrea i el consum)

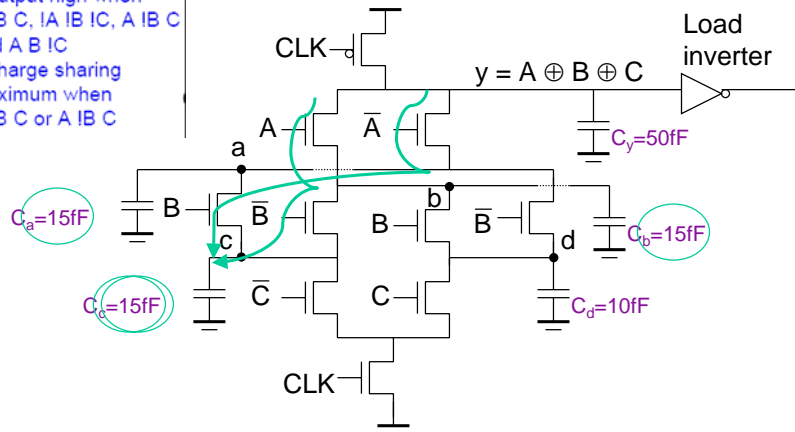
Redistribució de Càrrega

Quina és la màxima caiguda de voltatge al nus y? (Assumiu que totes les entrades estan a 0 en la precàrrega i que els nusos interns es troben a 0V.)



Redistribució de Càrrega

- Output high when IA B C, IA IB IC, A IB C and A B IC
- Charge sharing maximum when IA B C or A IB C

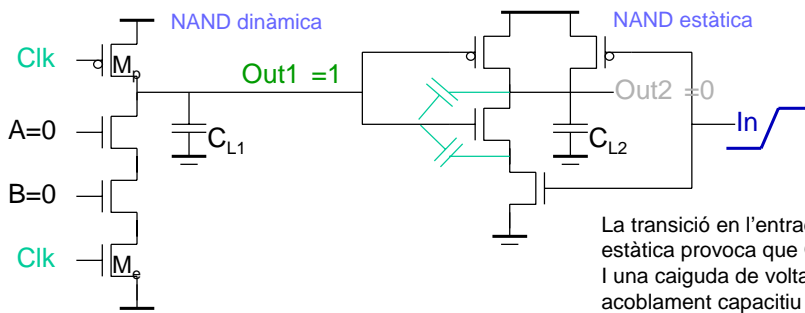


$$V_f = V_{DD} (C_Y / ((C_a + C_c) + C_Y))$$

$$\Delta V_{out} = V_{DD} - V_f = - V_{DD} ((C_a + C_c) / ((C_a + C_c) + C_Y))$$

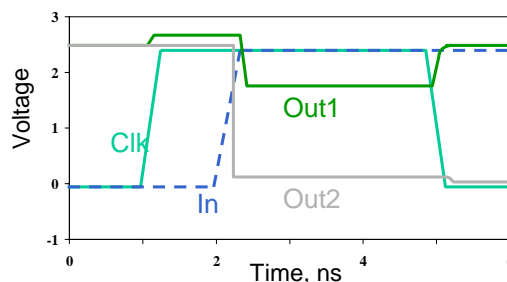
$$= - 2.5V * (30 / (30 + 50)) = -0.94V$$

Acoblament capacitiu de porta



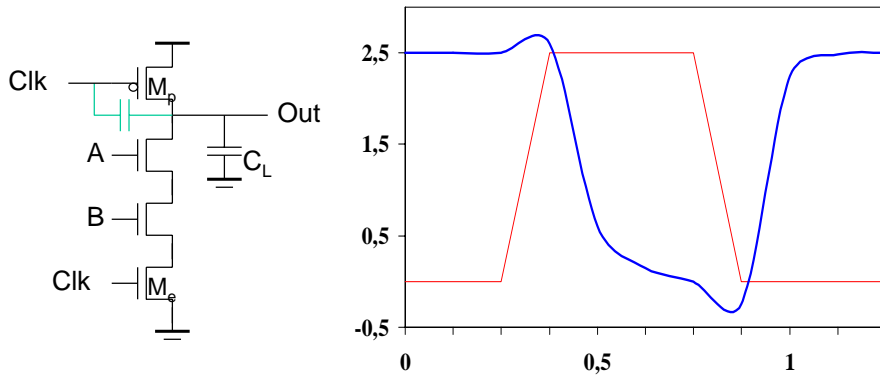
La transició en l'entrada de la Nand estàtica provoca que Out2 => 0 I una caiguda de voltatge a Out1 per acoblament capacitiu

L'alta impedància del nus de sortida, fa que la porta sigui molt sensible a diafonia.
Línies properes es poden acoplar capacitivament i destruir l'estat del nus flotant.



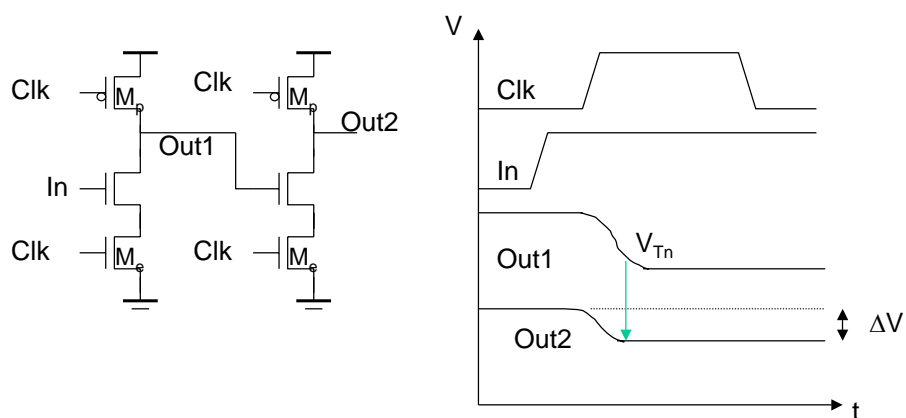
Clock feedthrough (infiltració de rellotge)

Hi ha acoblament entre Out i Clk en el dispositiu de precàrrega (C_{GD}). El voltatge a Out pot pujar per damunt de V_{DD} En un flanc de pujada de Clk.



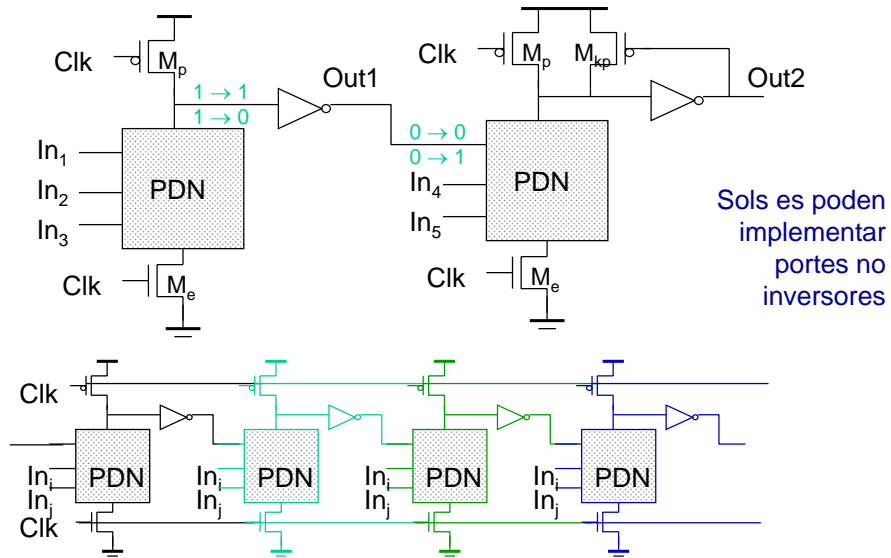
Algun diode en invers del dispositiu de precàrrega pot posarse en directe provocant efectes de latchup, o la injecció de portadors al substrat que poden ser capturats per altres nusos d'alta impedància i fer canviar el seu estat.

Portes dinàmiques en cascada



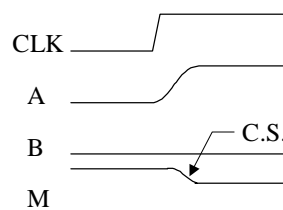
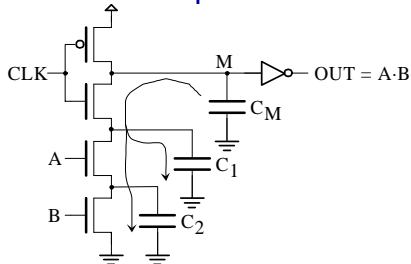
Sols es poden fer transicions 0 → 1 en les entrades!

Lògica Domino

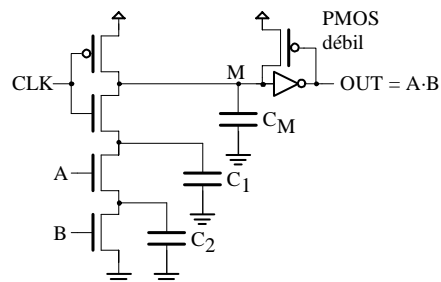


Lògica CMOS Dominó

- Problema repartició de càrrega

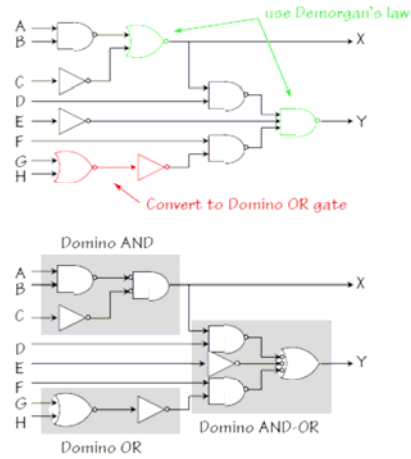


- La tensió al node CM podria baixar fins fer commutar l'inversor de sortida
- Solució: afegir un transistor PMOS que fixa l'entrada de l'inversor quan la sortida de l'inversor és 0.



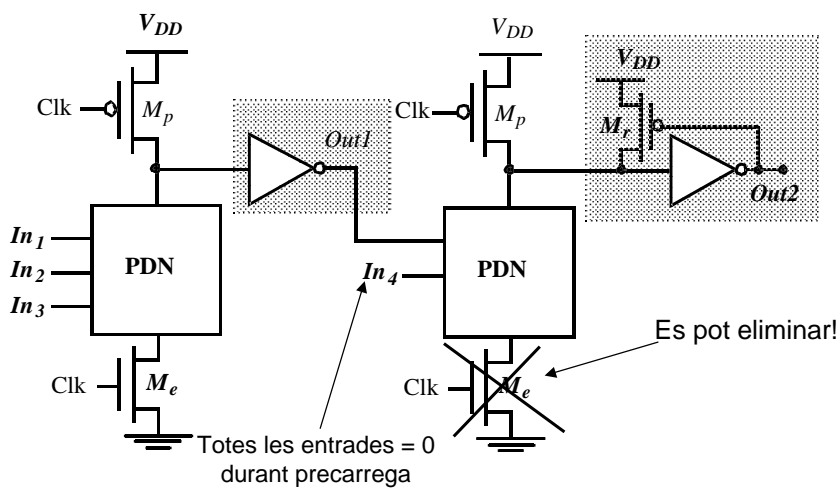
Lògica CMOS Dominó

Utilitzar lleis de DeMorgan per crear portes no inversores !



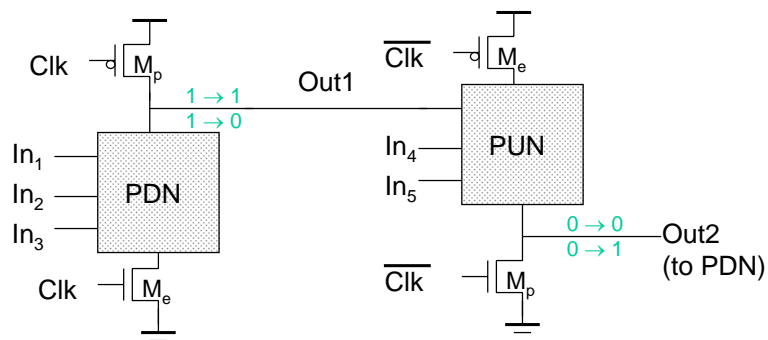
Sols es poden implementar portes no inversores

Disseny amb lògica domino



np-CMOS

- Una porta amb lògica N condueix una de lògica P i viceversa (així es pot eliminar l'inversor de sortida)
- Fan falta dos rellotges clk i clk negat



Sols es permeten transicions 0 → 1 en les entrades de blocs PDN
Sols es permeten transicions 1 → 0 en les entrades de blocs PUN

Sumari lògiques dinàmiques

- Només una xarxa de transistors
 - menys àrea
 - molt major velocitat de procés
 - estructures pipeline, capacitat de procés molt elevada
 - dissenys més complexos
- Problemes d'integritat del senyal
 - senyals espúris
 - diafonia
 - injecció o repartició de càrrega
 - Sincronització complexa
 - susceptibilitat a tenir problemes per clock skew